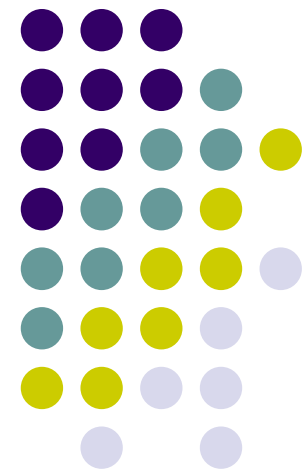


Logikfamilien

Ein Referat von Martin Krellmann





Inhalt

- Allgemein
 - Definition und Funktionsweise (P- und N-Logik)
- TTL
 - Funktionsbeschreibung
 - Low-Power-Schottky-TTL-Gatter
 - OpenCollector-Ausgänge
 - Tristate-Ausgänge
- CMOS
- Beispiel im Projekt: Taster mit RS-FlipFlop in CMOS Logik
- DTL Logik am Beispiel eines NOR-Gatters
- Verschiedene Familien in einer Schaltung

Definition und Funktionsweise



„Unter der **Logik** wird heute im Allgemeinen eine teils in der Philosophie, teils in der Mathematik und in der Informatik angesiedelte Theorie verstanden, die sich primär mit den Normen des korrekten (Schluss-)Folgerns beschäftigt.“
(Quelle: <http://de.wikipedia.org/wiki/Logik>)

Definition und Funktionsweise

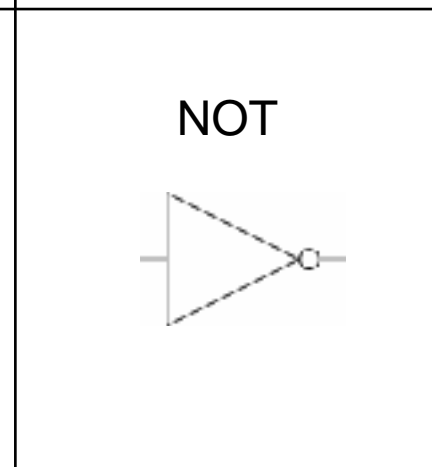
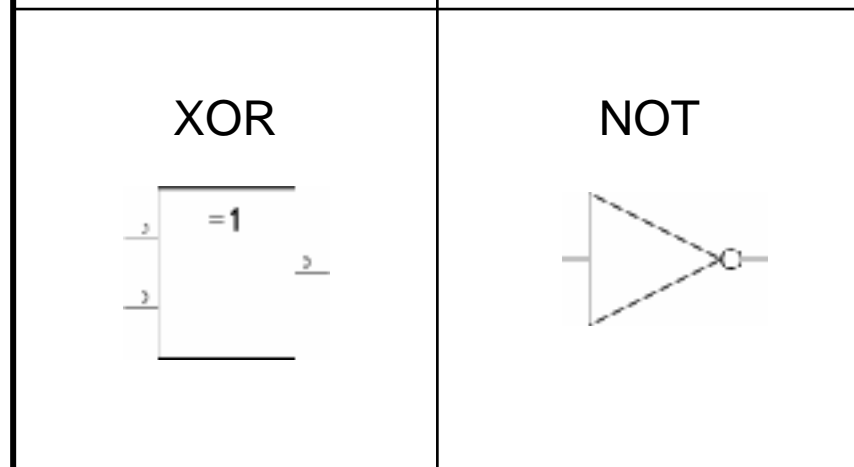
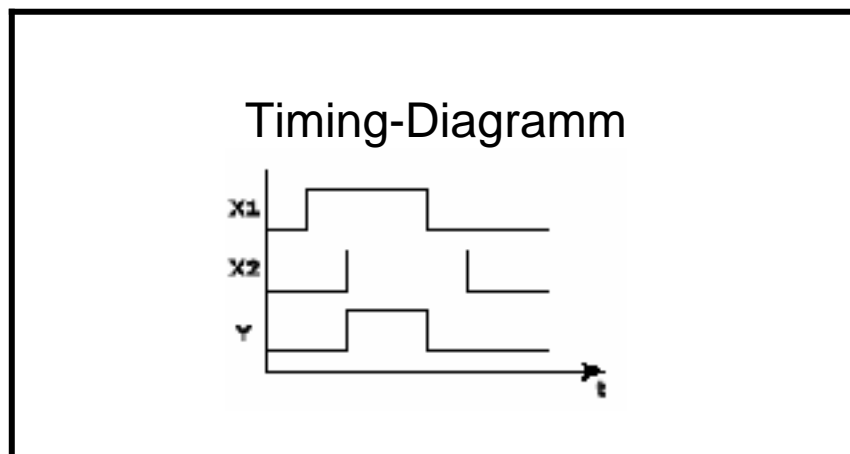
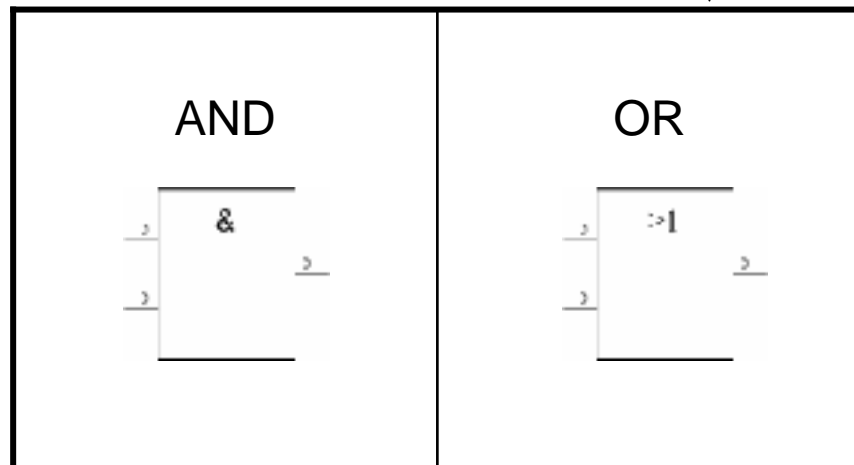


- Einsatzgebiet: Digitaltechnik
- Realisierung von Grundfunktionen über logische Verknüpfungen -> Gatter
- Gatter -> Aufbau von komplexen Systemen
 - Auswertung von Zuständen und Durchführen von Operationen



Definition und Funktionsweise

U_1	U_2	U_a
L	L	H
L	H	H
H	L	H
H	H	L



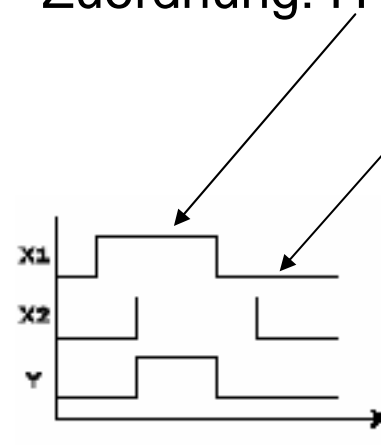


Definition und Funktionsweise

Positive Logik

X_1	X_2	Y
L	L	L
L	H	L
H	L	L
H	H	H

Zuordnung: H = 1; L = 0



=> UND-Verknüpfung

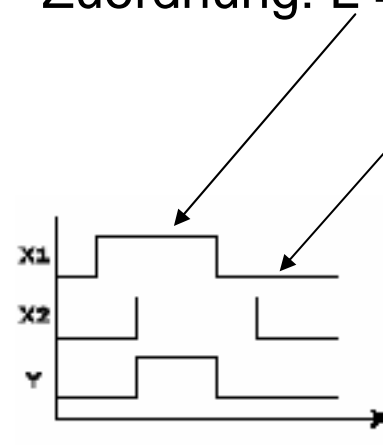


Definition und Funktionsweise

Negative Logik

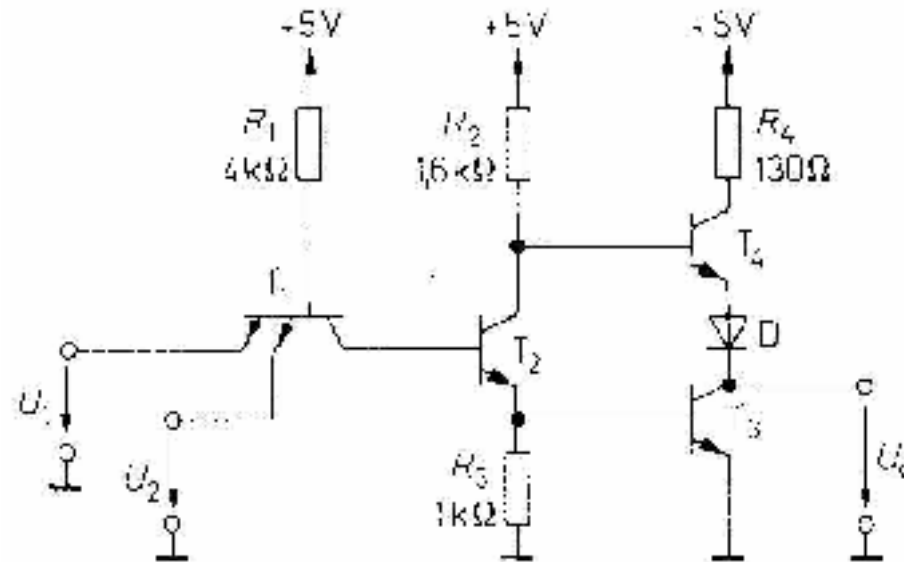
X_1	X_2	Y
L	L	L
L	H	L
H	L	L
H	H	H

Zuordnung: L = 1; H = 0



=> OR-Verknüpfung

Transistor-Transistor-Logik

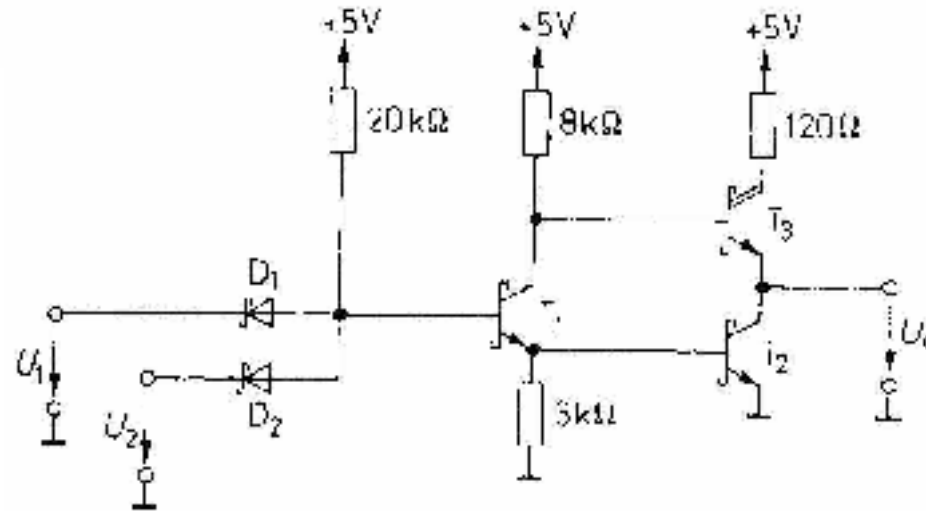
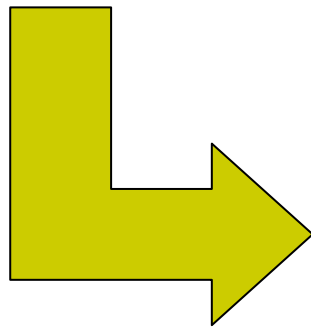
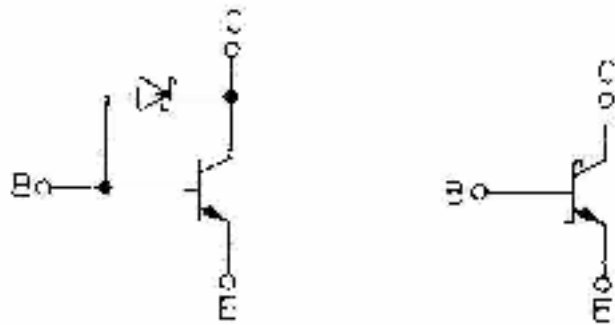


Standard TTL-NAND-Gatter vom Typ 7400

$P_V = 10\text{mW}$; Gatterlaufzeit 10ns

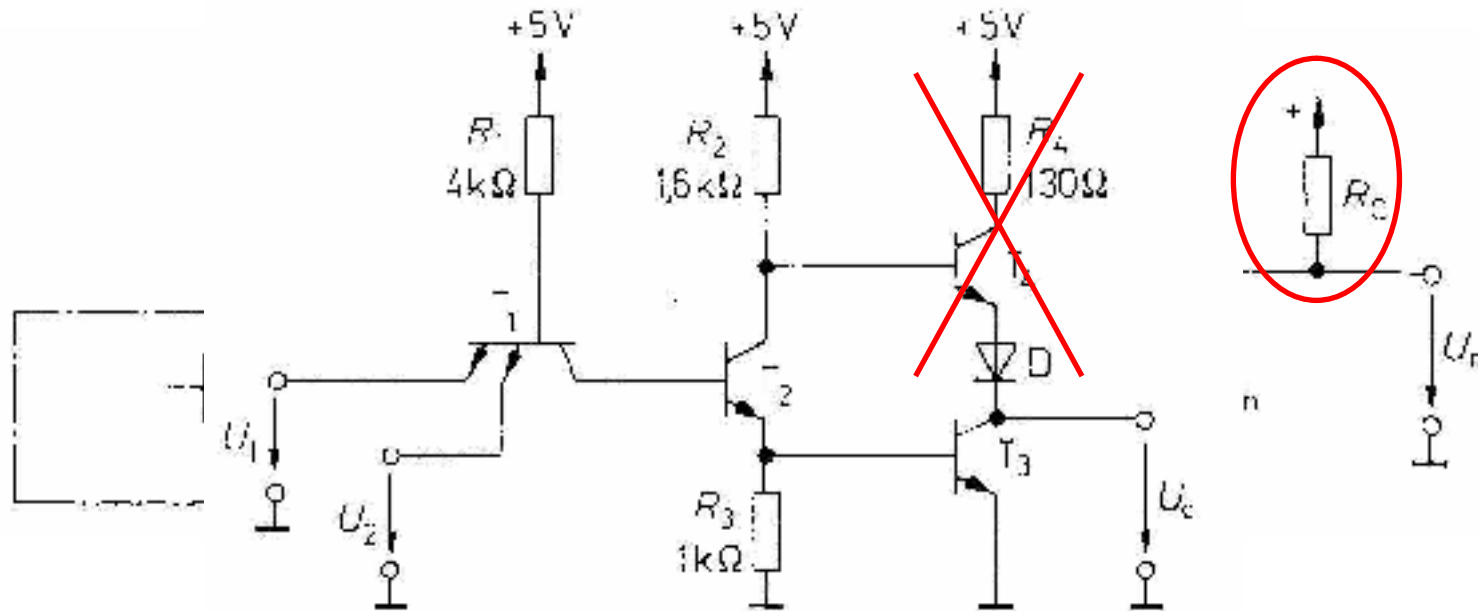
Nachteil: Hohe Gatterlaufzeit durch Sättigung

Low-Power-Schottky-TTL-Gatter

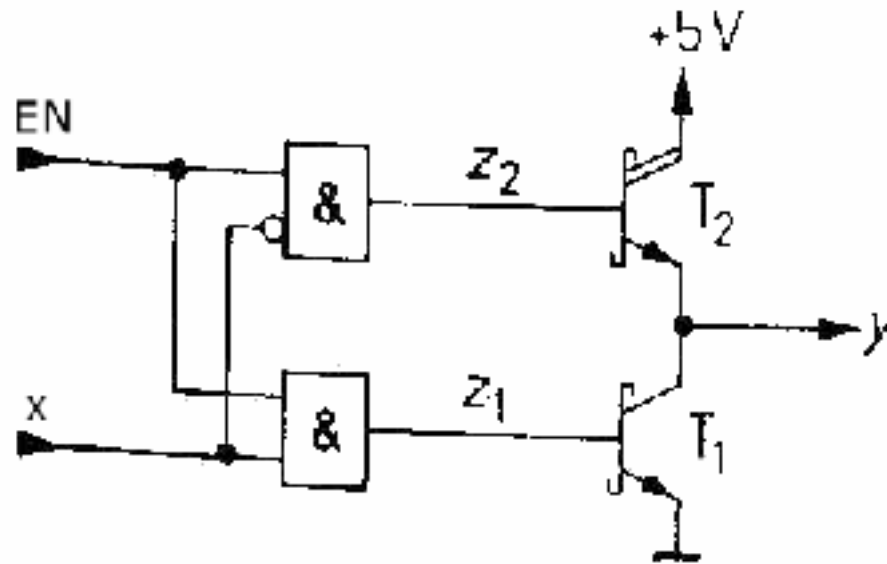


$P_V = 2\text{mW}$; Gatterlaufzeit 10ns

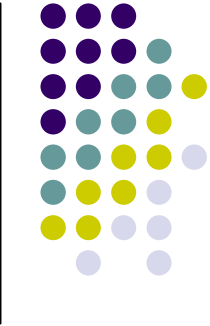
OpenCollector Ausgänge



Tristate Ausgänge



MOSFETs



Selbstsperrend

Selbstleitend

p-Kanal



Arbeitet wenn U_{GS} negativ ist

n-Kanal

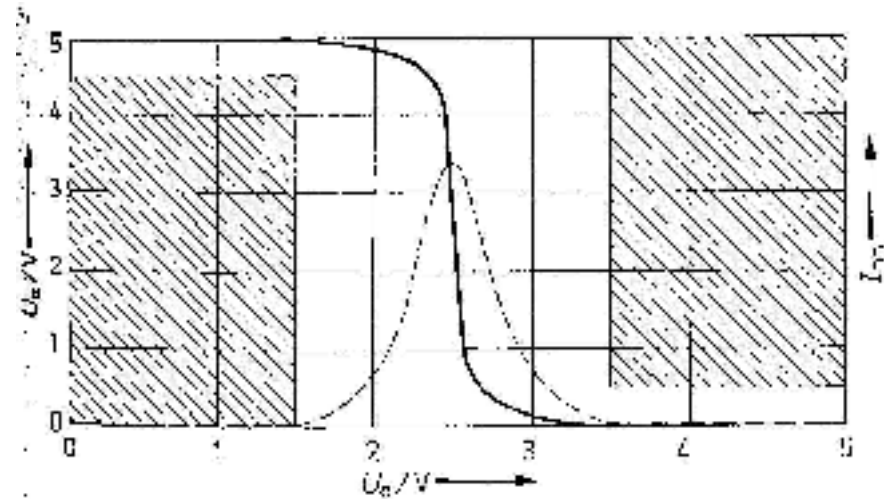
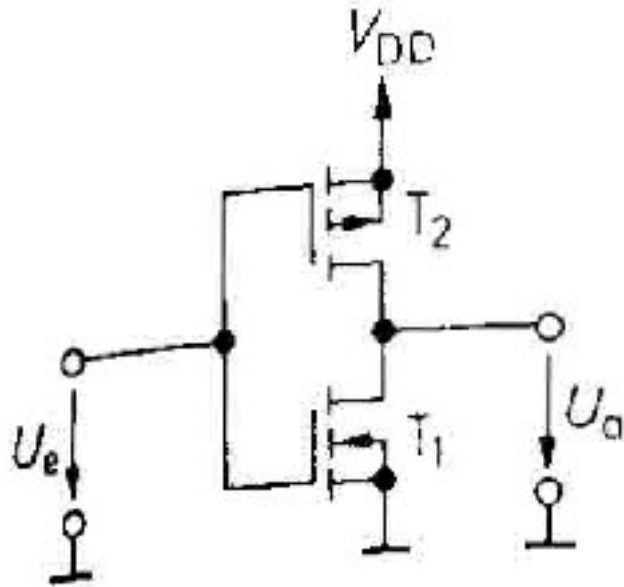


Arbeitet wenn U_{GS} positiv ist

ComplementaryMOS



CMOS Inverter

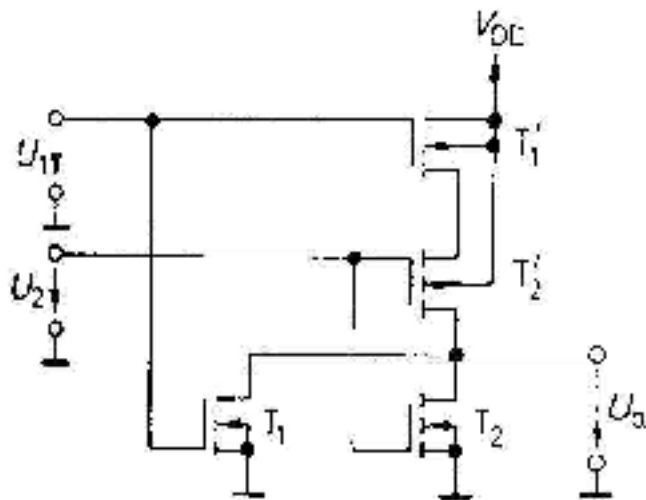


- T1, T2 in Sourceschaltung
- T2 ist Arbeitswiderstand für T1 und umgekehrt

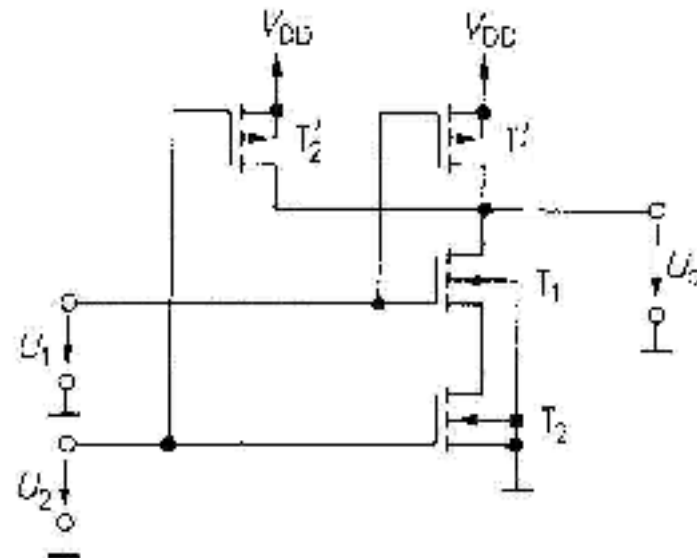
CMOS



CMOS NOR



CMOS NAND



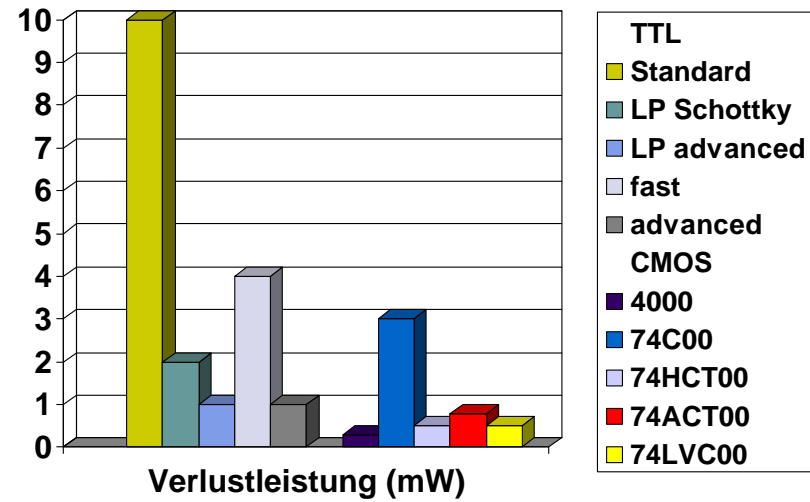
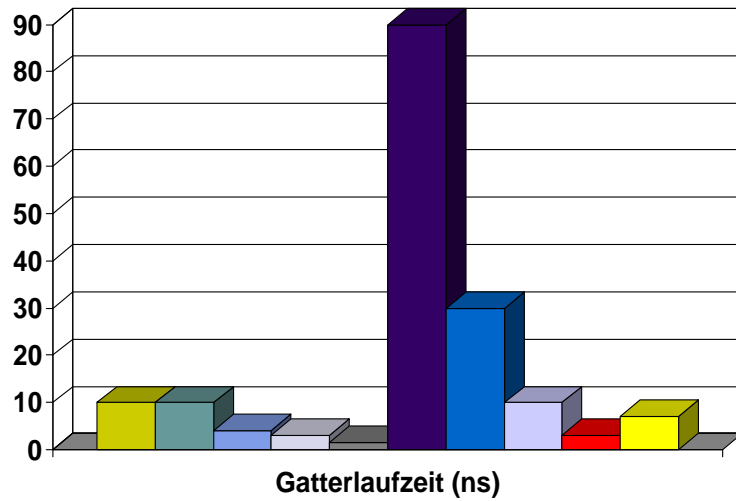
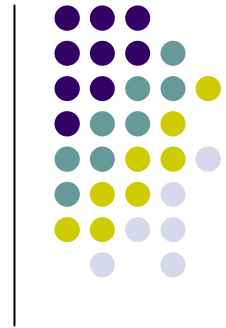


Vorsichtsmaßnahmen

Maßnahmen zum Schutz von CMOS-Schaltungen:

- Eingangsspannung darf nur im Bereich $V_{ss} < V_e < V_{dd}$ liegen
- Im Zweifelsfall -> Strombegrenzung
- Alle Eingänge müssen definiertes Potential haben
-> sonst: hohe Querströme -> hohe Verlustleistung
-> eventuelle Zerstörung des Gatters

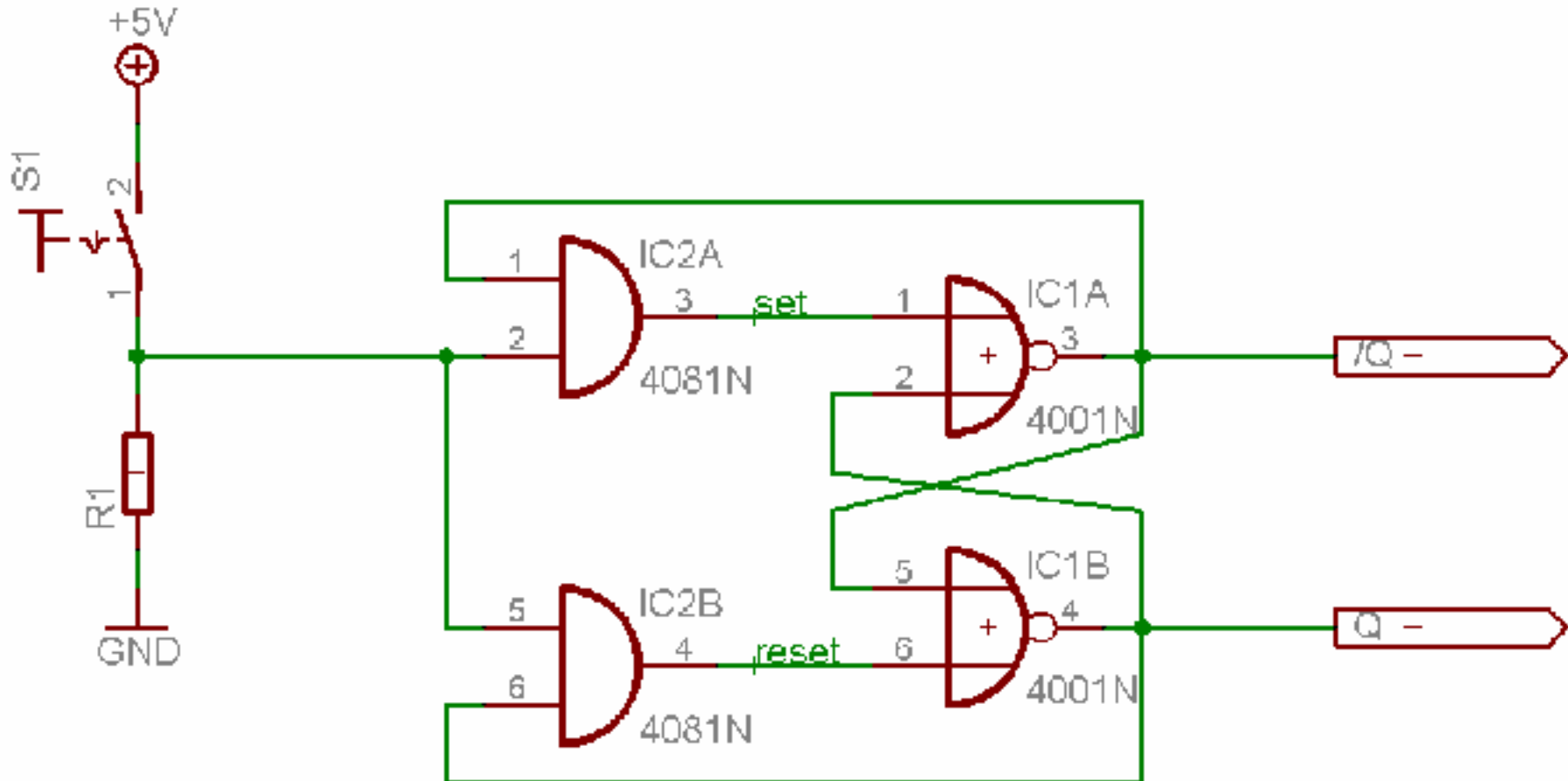
Übersicht



- TTL
 - Standard
 - LP Schottky
 - LP advanced
 - fast
 - advanced
- CMOS
 - 4000
 - 74C00
 - 74HCT00
 - 74ACT00
 - 74LVC00

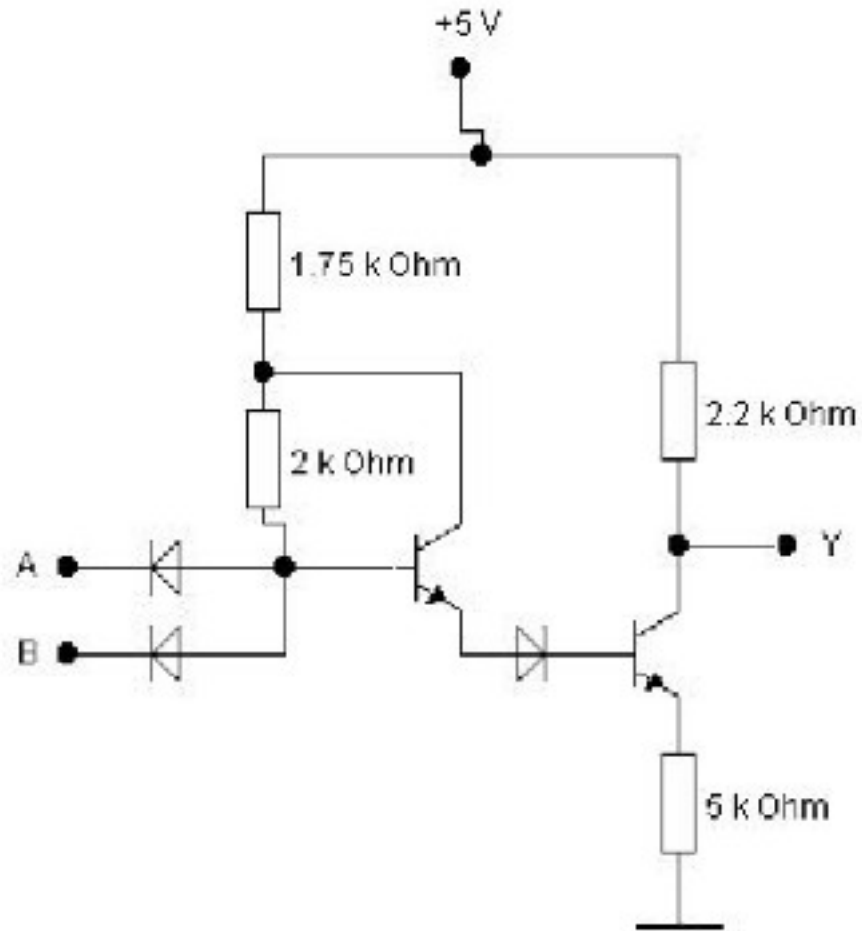


Taster mit RS-FlipFlop (CMOS)





NOR-Gatter in DTL Logik



- „Historisches Gatter“
- Große Gatterlaufzeiten durch Transistorsättigung

Verschiedene Familien in einer Schaltung



- Logikfamilien haben oft unterschiedliche Pegel
- Zusammenschalten von verschiedenen Familien nicht ohne weiteres Möglich
- Vorsicht insbesondere bei Kombination von TTL und CMOS

Quellen

- Tietze/Schenk
- Wikipedia
- EAGLE

