

PROJEKTLABOR
IM FACHGEBIET ELEKTROTECHNIK
DER TECHNISCHEN UNIVERSITÄT BERLIN

WINTERSEMESTER 2006/2007

INTELLIGENTE STECKDOSE
(POWER TOWER)

ABSCHLUSSBERICHT

Inhaltsverzeichnis

I	DAS GERÄT	4
1	EINFÜHRUNG	5
2	PROJEKTDESCHEIBUNG	6
3	BEDIENUNGSANLEITUNG	7
3.1	Multifunktionssteckdosen:	7
3.2	Dimmer:	10
3.3	Kontroll-LEDs	11
4	TECHNISCHE DATEN	12
II	DIE GRUPPE	13
5	ALLE TEILNEHMER (MIT GRUPPENFOTO)	14
6	FOTOS UND NAMEN	15
6.1	GRUPPE 1: BEDIENUNG UND LOGIK	15
6.2	GRUPPE 2: WAKEONMUSIC UND CLAPPER	16
6.3	GRUPPE 3: STAND-BY-ERKENNUNG UND DIMMER	17
6.4	GRUPPE 4: MASTER UND ENERGIE	18
6.5	GRUPPE 5: NETZTEIL UND LEISTUNGSSCHALTER	19
7	SUBJEKTIVE BEWERTUNGEN	20
III	ENTWICKLUNG	26
8	SCHNITTSTELLEN UND BUSBELEGUNG	27
9	SCHALTUNGEN DER KLEINGRUPPEN	28
9.1	GRUPPE 1: BEDIENUNG UND LOGIK	28
9.1.1	<i>Die Logik</i>	28
9.1.2	<i>Die Fernbedienung</i>	47
9.2	GRUPPE 2: WAKEONMUSIC UND CLAPPER	69
9.2.1	<i>Teilgruppe 1: WakeOnMusic</i>	69
9.2.2	<i>Teilgruppe 2: Klatschschalter</i>	91
9.3	GRUPPE 3: STAND-BY-ERKENNUNG UND DIMMER	109
9.3.1	<i>Dimmer</i>	109

9.3.2	<i>Standbyerkennung</i>	127
9.4	GRUPPE 4: MASTER UND ENERGIE	136
9.4.1	<i>Spannungsaufbereitung</i>	136
9.4.2	<i>V-A-Messung</i>	144
9.4.3	<i>Mastererkennung</i>	150
9.5	GRUPPE 5: NETZTEIL UND LEISTUNGSSCHALTER	159
9.5.1	<i>Netzteil</i>	159
9.5.2	<i>Phasennulldurchgangserkennung</i>	160
9.5.3	<i>Schalten</i>	166
A	WIDERSTANDSRINGTABELLE	182
B	DATENBLÄTTER	184

Teil I

DAS GERÄT

1 EINFÜHRUNG

Vorwort zum Projektlabor WS 06/07

Was ist das Projektlabor, und was wird darin gemacht?

Nicht zuletzt mit dieser Frage sollte man sich vor allem als Student im elektrotechnischen Bereich an der TU-Berlin auseinandersetzen. Das Projektlabor befasst sich also mit Themen rund um die Elektrotechnik und ermöglicht es dabei Studenten im Grundstudium ihr in den ersten Semestern des Studiums angeeignetes Wissen praktisch anzuwenden und sich auf der Spielwiese der Elektronik auszutoben. Dies geschieht im Rahmen eines von den Studenten gewählten Projekts.

Die Zielsetzung wird aber nicht nur auf das Gelingen des Projekts, sondern auch auf die Vermittlung von sozialen Kompetenzen und verantwortungsvollen Aufgaben angesetzt. Dies wird durch die Betreuer, als ständige Ansprechpartner und nicht zuletzt wichtigste Informationsquellen, gewährleistet und im angemessenen Rahmen gehalten.

Das Projektlabor des Wintersemesters 06/07 befasste sich mit dem Thema Stromversorgung. Dabei haben sich die Studenten jedoch nicht zur Aufgabe gemacht Energie in Form von Strom zu erzeugen, sondern diese intelligent einzusetzen bzw. zu verteilen - und zwar in Form einer intelligenten Steckdose, dem "Power-Tower".

Doch was heißt im Zusammenhang mit Stromversorgung Intelligenz?

Soll die Steckdose dem Benutzer als Gesprächspartner in einsamen Stunden dienen? Soll sie die Bedürfnisse, des Verbrauchers erkennen und gezielt darauf eingehen? Oder fängt Intelligenz bei einer Steckdose bereits da an, wo diese mehr leistet, als nur den Strom zu liefern bzw. zu verteilen? Diese und ähnliche Fragen haben sich auch die Studenten in diesem Semester gestellt und eine noch nie dagewesene Energieverteilung konzipiert, die dem Verbraucher allen nur erdenklichen Luxus und Intelligenz bietet. Denn die Steckdose von Morgen ermöglicht nicht nur bereits alltägliche Funktionen, wie die einer Master-Slave Steckdosenleiste oder eines Timers, der diese nach abgelaufener Zeit wieder abstellt, sondern vereint darüber hinaus revolutionäre Funktionen, wie den Klatschsensor, die Fernbedienung, die Stand-By Erkennung, den Dimmer und nicht zuletzt das WoM in einem noch nie dagewesenen Design, welches an Eleganz und Funktionalität Seinesgleichen sucht.

Es ist den Studenten somit gelungen mit viel Spaß an der Arbeit, aber auch viel Verzweiflung und noch mehr Nacht- und Nebel-Aktionen ein Projekt auf die Beine zu stellen, welches jede Form von elektronischer Intelligenz in den Schatten stellt und sogar "R2D2" und "Nr.5" vor Neid zu Kurzschlüssen führen würde.

Dies alles wäre jedoch niemals ohne die Mithilfe der immer kompetent zur Seite stehenden Projektlabor- Tutoren und Mitarbeiter gewesen, an die hiermit ein ganz besonderer Dank ausgesprochen werden soll.

Doch nun viel Spaß mit der Dokumentation...

Wojciech Gora, 21. Januar 2007

2 PROJEKTBESCHREIBUNG

Unser Projekt “Steckdosenleiste“, das wir später “Power Tower“ nannten, sollte verschiedene Funktionen besitzen, auf die wir uns logischerweise gleich zu Beginn geeinigt hatten. Dabei war zu bedenken, dass wir nicht alle personellen Ressourcen in Features investieren durften, sondern auch einkalkulieren mussten, dass strukturelle Arbeiten nötig waren. Darunter fiel eine Aufbereitung der Netzspannung, sowie ein integriertes Netzteil, welches für die Schaltung benötigten Spannungen bereitstellen kann. Außerdem war es nötig für die Vernetzung und Steuerung aller Funktionen zu sorgen und somit mussten wir uns also auch mit der Logik als Nicht-Feature beschäftigen. Die genaue Anzahl der Steckdosen stand am Anfang noch nicht fest, allerdings wurde beschlossen, dass eine Steckdose fest mit einer Masterfunktion belegt werden sollte. Alle anderen Steckdosen sollen mit allen verfügbaren Features belegt werden können. Diese Features waren ein akustischer Sensor, welcher beispielsweise durch Klatschen oder Pfeifen ausgelöst werden soll, eine WoM¹-Funktion und einen Dimmer. Desweiteren sollte jede Steckdose in einen Standby-Zustand schalten können. All diese Funktionen wollten wir entweder am Gerät oder mittels einer Fernbedienung steuern können. Darüberhinaus wollten wir auch analoge Anzeigen einerseits für die am Power Tower anliegende Spannung und andererseits deren gesamten Stromverbrauch realisiert sehen.

¹Wake on Music

3 BEDIENUNGSANLEITUNG

3.1 Multifunktionssteckdosen:

Das Konzept der Steuerung basiert auf eine Einteilung der verschiedenen Funktionen in verschiedene Modusgruppen. Die Wahl des Modus erfolgt nach der Wahl der Steckdose (Dose 1 bis 5, wobei die fünfte die Masterdose ist) die bedient werden soll. Das bedeutet als allererstes wird die zu bedienende Steckdose über die Dosenwahltasten oben auf der Fernbedienung angewählt.

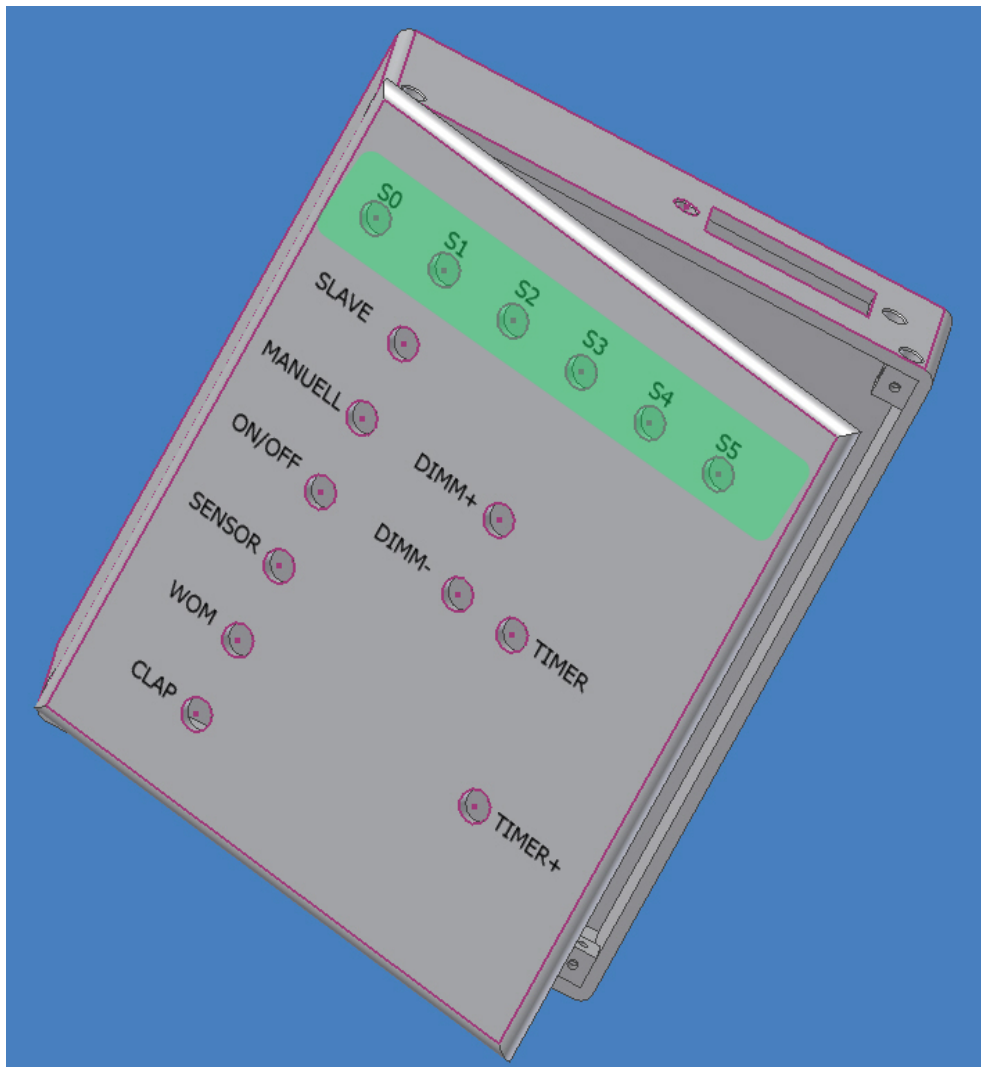


Abbildung 3.1: Die Dosenwahl

Jetzt kann der gewünschte Modus eingestellt und programmiert werden. Die verschiedenen Modi lauten:

- Slavemodus
- Manueller Modus
- Sensormodus
- Timermodus

Im Slavemodus folgt die Steckdose der Funktion des Gerätes welches an der Masterdose angeschlossen ist. Im manuellen Modus kann die Steckdose manuell mit der Taste unter der “Manueller Modus“ Taste ein- und ausgeschaltet werden. Der Sensormodus kann mit den beiden darunter befindlichen Tasten für den WoM-Sensor und den Klatschsensor programmiert werden. Je nach Wahl wird die Steckdose auf Musik, dreimaliges Klatschen oder beides reagieren.

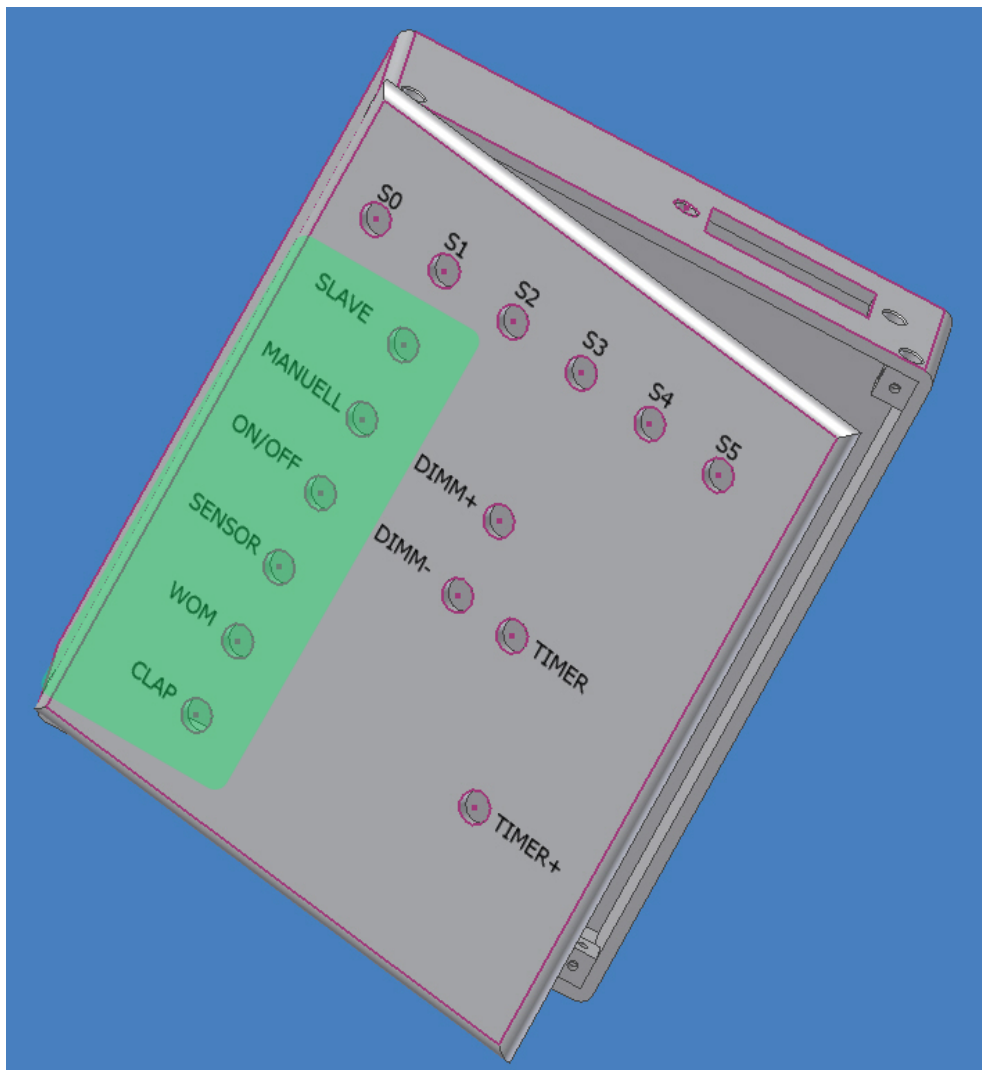


Abbildung 3.2: Wahl des Modus

Im Timermodus kann man die Dose im einstellbaren Zeitraum von 10-90 Minuten abschalten lassen. Für den Timermodus muss zuvor der Timer eingestellt werden. Dies erfolgt über das Drücken der Timertaste. Hält man die Taste gedrückt kann man den Timer auf 10-90 Minuten im Zehnerabstand einstellen. Drückt man die Taste einmal kurz wird der Timer wieder zurückgestellt.

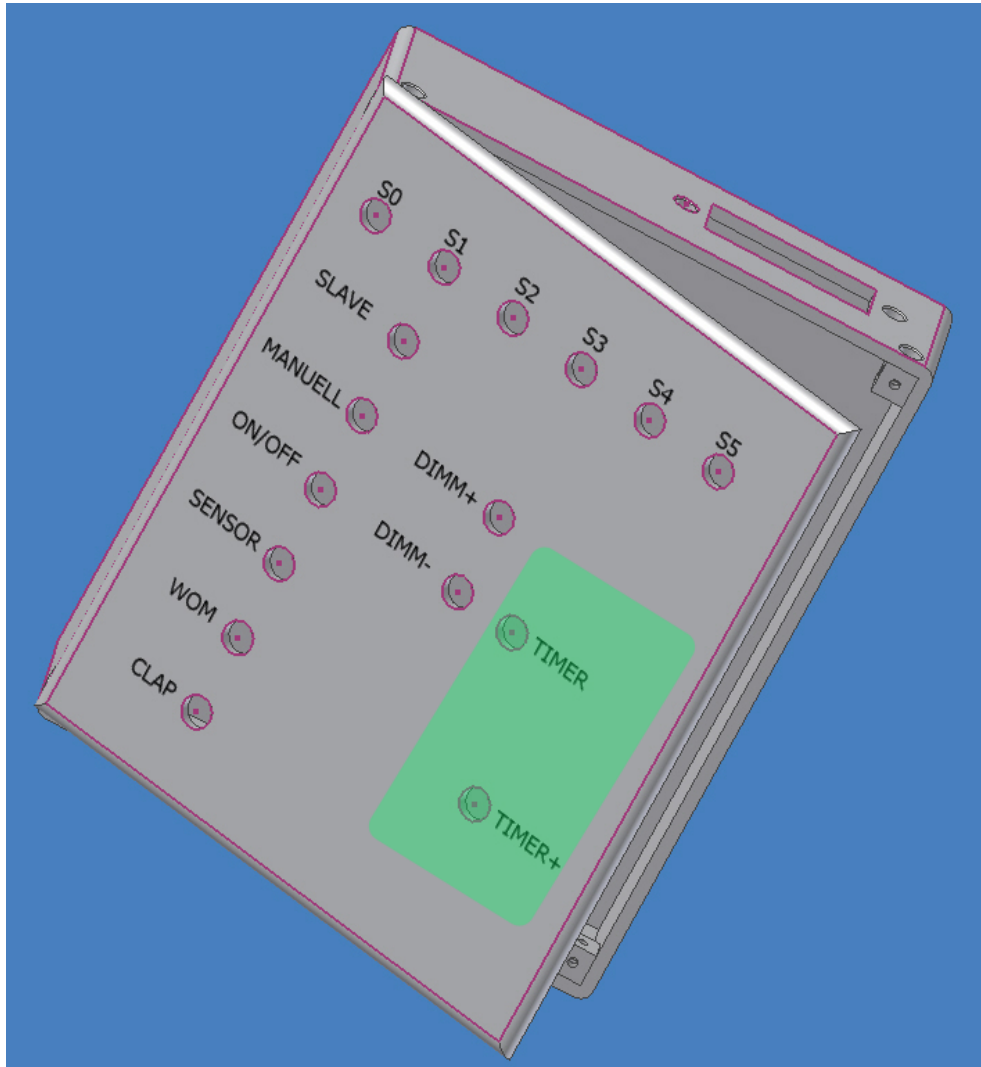


Abbildung 3.3: Timermodus

3.2 Dimmer:

Der Dimmer lässt sich mit Hilfe der Dimmerhoch- und Dimmerruntertasten in acht Stufen exponentiell einstellen.

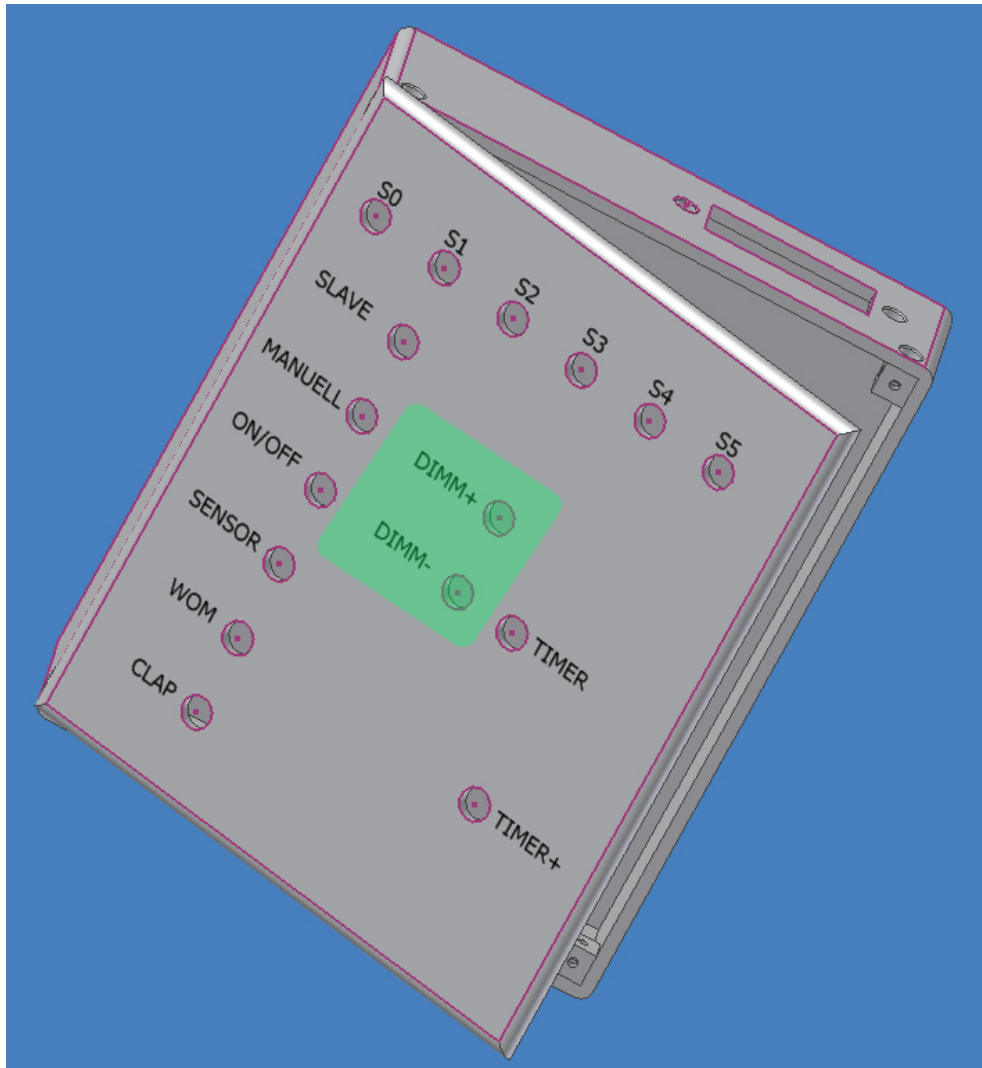


Abbildung 3.4: Dimmereinstellung

3.3 Kontroll-LEDs

Nach Einstellen des gewünschten Modus wird am Gerät eine Kontroll-LED an der jeweiligen Steckdose angeschaltet. So kann überprüft werden, ob das richtige gemacht wurde. Es gibt zwei unterschiedliche LEDs: eine Zweifarbige (Rot und Grün) und eine Einfarbige (Gelb). Die gelben LEDs sind zur Anzeige eines ausgewählten Sensormodus, also WoM oder Clap. Die zweifarbigen LEDs sind zur Status-Anzeige und geben an, ob die Steckdose im jeweilig angewählten Modus gerade AN (grün) oder AUS (rot) ist.

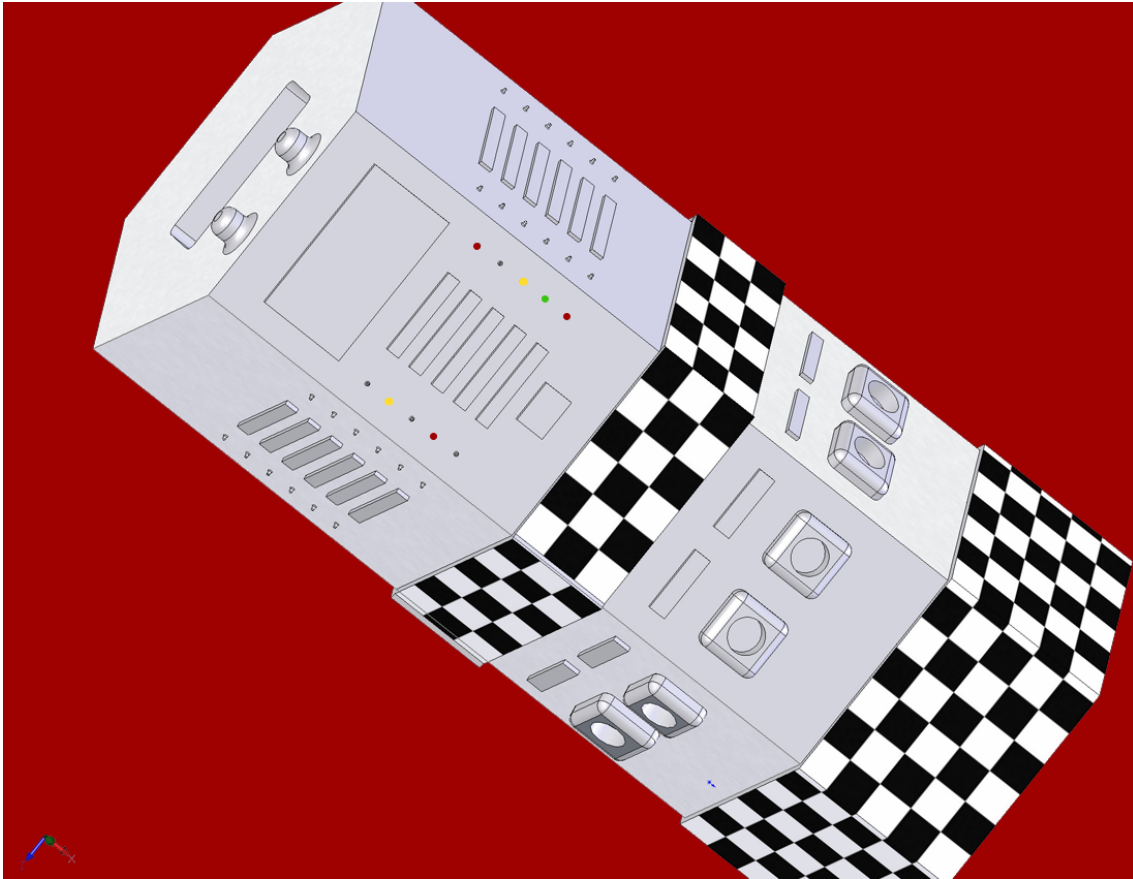


Abbildung 3.5: Status-LEDs

4 TECHNISCHE DATEN

5 Voltschiene	mit 1,5A
± 15 Voltschiene	mit 250mA
Nennspannung 230V	mit 6A
Stromaufnahme	$\leq 30\text{V}\cdot\text{A}$
Max. Temperatur	$\leq 373\text{K}$
Frequenz	$= 50\text{Hz}$
Wirkungsgrad	$\approx 40\%$

Teil II

DIE GRUPPE

5 ALLE TEILNEHMER (MIT GRUPPENFOTO)



6 FOTOS UND NAMEN

6.1 GRUPPE 1: BEDIENUNG UND LOGIK

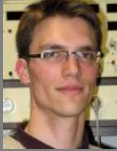
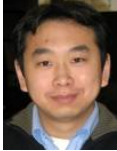
Name	Gruppe	Foto
Johannes Twittmann	Betreuer	keins
Steffen Hugenberg	Logik	
Martin Krellmann	Logik	
Raphael Ndip-Agbor	Logik	
Philip Otto	Logik	
Bei Wang	Fernbedienung	
Mark Wolf	Fernbedienung	

Tabelle 6.1: Teilnehmer Gruppe 1

6.2 GRUPPE 2: WAKEONMUSIC UND CLAPPER

Gruppenteilnehmer

Name	Gruppe	Foto
Anja Kohfeldt	Betreuerin	keins
Christian Rudat	Clap	
Michael Schlüter	Clap	
Sebastian Retka	Timer	
Wojciech Gora	Timer	
Benjamin Pilgrim	WoM	
Lars Lubkoll	WoM	
Matthias Albrecht	WoM	

Tabelle 6.2: Teilnehmer Gruppe 2

6.3 GRUPPE 3: STAND-BY-ERKENNUNG UND DIMMER

Name	Gruppe	Foto
Holger Gaul	Betreuer	
Philipp Foerster	Dimmer	
Moritz Gorath	Dimmer	
Marvin Horstmann	Dimmer	
Janko Krogmann	Dimmer	
Marco Völzke	Dimmer	
Gaston Liberti	Standby	
Matthias Schoch	Standby	
Dustin Scholz	Standby	

Tabelle 6.3: Teilnehmer Gruppe 3

6.4 GRUPPE 4: MASTER UND ENERGIE

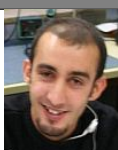
Name	Gruppe	Foto
Andi Deml	Betreuer	keins
Hauke Benno Ott	Spannungsaufbereitung	
Georg Rademacher	Spannungsaufbereitung	
Ali Hammoud	Spannungsmessung	
Ben Schuldt	Strommessung	
Youssef Ouali	Mastererkennung	
Martin Frauenhofer	Mastererkennung	

Tabelle 6.4: Teilnehmer Gruppe 4

6.5 GRUPPE 5: NETZTEIL UND LEISTUNGSSCHALTER

Name	Gruppe	Foto
Stefan Seifert	Betreuer	keins
Jens Doroch	Schalten mit Triacs	
Reinhard Stornowski	Schalten mit Relais	
Oliver Peters	Phasennullerkennung	
Tim Jedro	Netzteil	
Lukas Hecht	Netzteil	
Moritz Busch	Netzteil	
Johannes Zondler	Schalten mit Relais	

Tabelle 6.5: Teilnehmer Gruppe 4

7 SUBJEKTIVE BEWERTUNGEN

Sozialer Kommentar Die Arbeit im Projektlabor war eine sehr lustige und lernintensive Zeit. Da ich bis zu Beginn mit nahezu keinen praktischen Erfahrungen ausgestattet war, gab es in jeder Phase der Entwicklung, Momente in denen ich mich überfordert fühlte. Doch dank der Betreuer und den Personen, die eben jene praktischen Erfahrungen aufweisen konnte, hatte ich jederzeit die Möglichkeit nötige Tipps und Tricks zu bekommen. Ich denke, dass mich dieses Projekt auf meinem Weg zum Ingenieursdasein ein gutes Stück weitergebracht hat und mich auch menschlich etwas geformt hat.

Meine Arbeit in der Gruppe Nachdem wir uns innerhalb unserer Gruppe in weitere Untergruppen auftrännten, hieß es zunächst für mich Schaltpläne für mögliche Netzteilkonstruktionen zu finden. Folgend ging es darum, diese Schaltpläne zu diskutieren und eine kleine Auswahl mit “PSpice“ zu simulieren. Hier traten dann auch schon die ersten Probleme auf, da unsere Studentenversion einige Bauteile nicht verwenden konnte. Zur Lösung dieses Problems bin ich aber nicht mehr gekommen, da ich in die, für das Schieben des Schaltsignals verantwortliche Gruppe abgezogen wurde, wo nun meine Aufgabe lautete die einzelnen, bereits simulierten Schaltungsabschnitte auf einem Steckbrett aufzubauen und durchzumessen. Begonnen habe ich mit dem Integrator, folgend der Schmitt-Trigger und der Komparator. Alle diese Aufbauten verliefen zügig und bis auf die notwendige Nachdimensionierung fast aller Bauteile reibungslos. Anschließend wurde diese Schaltung, mithilfe eines Optokopplers, galvanisch getrennt und mit der Relais-Schaltung verbunden. Nachdem sichergestellt war, dass auch dieses funktioniert, beschäftigte ich mich erfolglos mit der Suche nach passenden Relais für unsere Zwecke.

Sozialer Kommentar Das Zusammenspiel und Arbeiten in der Gruppe war von Anfang an sehr gut. Jeder Termin wurde wie vorgeschrieben mit Protokollant, Moderator, Eröffnung und gemeinsamem Abschluss durchgeführt. Die Ideen für Schaltungen sprudelten nur so wild, wobei auch Gruppenmitglieder mit weniger gutem Vorwissen nicht außen vorgelassen

wurden. Alle Überlegungen wurden meist mit der Gesamtgruppe diskutiert und Verständnislücken als bald geklärt. Die anschließende Aufteilung in kleinere Untergruppen verlief gut, wobei die Gruppengrenzen zum Teil etwas fließend waren, was sich aber als nicht unvorteilhaft herausstellte. Auch der Arbeitsaufwand in den Kleingruppen war unterschiedlich. Hier kam es dann doch zu dem unerwünschten Effekt, dass große Teile der Arbeit auf Einzelpersonen umgelegt wurde. Nach dem Jahreswechsel wurde der Ablauf des Labors in der gesamten Gruppe zunehmend unorganisierter, was auf Klausurstress, Terminstress innerhalb des Projektlabor und sicherlich auch auf die Nachlässigkeit aller Gruppenmitglieder zurückzuführen ist. Trotzdem schafften wir es, alle Schaltung bis zum Stöpseltermin auf Platinen und zum Funktionieren zu bringen.

Persönlicher Kommentar zum Projektlabor Das Projektlabor ist eine wirklich gute Einrichtung und meiner Meinung nach jedem Elektrotechnikstudenten im Grundstudium zu empfehlen; einerseits als Abwechslung zum normalen Studienalltag und andererseits als Motivationsschub und Praxisbezug. Auch die Arbeitsweise fördert (bei ausreichendem Engagement des Teilnehmers) selbständige und verantwortungsvolle Zusammenarbeit in einer Gruppe.

Die Arbeitsweise als offenes Labor ist meiner Meinung nach auch sehr gut. Leider entstehen hierdurch Probleme (vor allem durch das unterschiedlich starke “Engagement“ der Teilnehmer), die in einer stärker hierarchisch geprägten Labororganisation vermieden werden könnten. (Und hierbei ist nicht unbedingt gemeint, dass die Hierarchie von den Betreuern ausgehen muss!) Solche Probleme wirken sich vor allem in einer mangelhaften Kommunikation aus:

1. Das Forum ist eine sehr gute Einrichtung, aber es kann nur wirklich zur Effektivität beitragen, wenn es von allen (Teilnehmern wie Betreuern) regelmäßig und auch entsprechend oft genutzt wird. Telefonate und mündliche Absprachen sind wichtig und gut, führen aber zu Informationslücken und Gerüchten. Nur was geschrieben im Forum (oder auf der Website) steht, ist sinnvolle und hilfreiche Kommunikation.

2. Es gibt zwar durch die Einführung der Ehrenämter für viele Bereiche Spezialisten, trotzdem sollten diese Gruppen jeweils einen Hauptverantwortlichen und damit auch (“All2“-)Wissenden bestimmen. Daraus sollte

sich ein kleines “Vorstandsgremium“ bilden, das stets den Fortschritt aller aktuellen Arbeiten komplett überschauen kann und somit Kommunikationsprobleme bzw. Missverständnisse an der Wurzel beseitigen kann.

Grundsätzlich sehr wichtig ist meiner Meinung nach die fachliche Kompetenz der einzelnen Laborbetreuer, da viele Laborteilnehmer absolut keine Erfahrung und auch kein Wissen im Schaltungsentwurf haben. Die Anregung, selber diese Defizite durch Eigenrecherche aufzuholen ist natürlich wichtig und richtig, kann aber nicht zur alleinigen Hauptaufgabe der Teilnehmer werden! Der gesteckte Zeitrahmen ist dafür zu klein. Gerade beim Schaltungsentwurf ist aktive Unterstützung durch die Betreuer notwendig, die das richtige Mittelmaß zwischen konkreten Hinweisen und selbständigem Recherchieren durch die Teilnehmer finden müssen.

Das Handbuch ist sehr gut gelungen und eine sehr gute Hilfe für den Laborablauf. Die Betreuer dürfen jedoch nicht erwarten, dass die Studenten nach ein- bis zweimal lesen, die Inhalte auswendig und diese dann auch perfekt in die Praxis umsetzen können.

Abschließendes: Diese Kritik ist nicht als schlechtmachend zu verstehen. Viele Sachen, die einfach toll waren und problemlos verlaufen sind, habe ich nicht (lobend) erwähnt. Es soll nur ein gutgemeinter Ratschlag für kommende Projektlabore sein.

Chinesisches Sprichwort: Wenn du es eilig hast, gehe langsam.

Was man an Zeit beim Erstellen eines vernünftigen Layouts einspart, muss man mit Faktor n mehr investieren, wenn man sich dann beim Bestücken und Löten über ein nicht optimales Design ärgert.

Meine Erwartungen was die Wahl eines Projektes und seine Durchführung betrifft wurden vom Projektlabor im Großen und Ganzen erfüllt, auch wenn ich der Meinung bin, dass es interessanteres gibt als eine Steckdoseleiste. Eine Überregulierung bei den Referaten und einigen anderen Punkten, sowie eine anfängliche völlige Ratlosigkeit, wie ich meine Problemstellung bewältigen sollte hat allerdings zu einer zeitweiligen Frustration geführt.

Zu guter erst: Ich hielt die “Intelligente Theke“ für bedeutend besser als

die Steckdose, aber so ist das halt manchmal in einer Demokratie. Nach längerem überlegen konnte ich mich dann aber auch mit der Steckdose abfinden. Ich glaube, dass sich die Anfangsphase des Projektes besonders ob der oft mangelnden Kommunikation unter den Gruppen als nicht so gelungen dargestellt hat. Allerdings ist das in den letzten Wochen bedeutend besser geworden, so dass ich der Meinung bin, dass die Steckdose letztendlich funktionieren wird.

Für mich war das Labor ein großer Schritt. Bisher haben wir nur von Bauteilen und ihren Eigenschaften gehört, im Labor haben wir nun auch gelernt wie man sie in der Praxis verwenden soll und kombinieren kann. Ich kann nun mit Pspice und Eagle arbeiten, was ich ohne dieses Labor nie geschafft hätte. Auch die Herstellung der Platine, sie zu testen und letzte Fehler zu finden hat viel Spass gemacht. Alles in allem hatte ich viel Freude am Labor auch dank Andi und meiner Gruppe.

Bis zum 3. Semester ist das Projektlabor wahrscheinlich das wichtigste was man über Elektrotechnik lernen kann. Sicherlich braucht man die Grundkenntnisse aus der Theorie aber weil ich ein Auto hab an mir vorbeifahren sehen heißt das nicht das ich es auch selber fahren könnte! Somit ist für mich das Projektlabor wegweisend für mein weiteres Studium.

Nachdem wir uns in der Kleingruppe aufgeteilt haben sind wir gleich in unser "zu Hause" umgezogen. Zum Anfang war ich doch ein wenig aufgeregt nach dem wir in den Teilgruppen aufgeteilt worden waren. Dies hat sich aber gleich wieder gelegt nachdem wir uns alle vorgestellt hatten und mit der Arbeit begonnen hatten. In den nächsten Wochen habe ich gemerkt dass alle Teilnehmer voller Eifer dabei waren, was letztendlich zu dem guten Arbeitsklima beigetragen hat. Jeder hat sich die Zeit genommen wenn jemand die gerade vorgestellte Schaltung nicht verstanden hat zu erklären oder wenn arbeiten anstanden wie das löten oder wickeln von Spulen sprang immer jemand ein und half aus. Des Weiteren bestand eine große Kommunikation untereinander und auch über die Pflichttermine hinaus im Forum was letzt endlich zum angenehmen Gruppenklima beigetragen hat. Dadurch haben sich viele Probleme im Vorfeld schon erledigt und man konnte konzentriert und zielstrebig an der Schaltung arbeiten.

Das Projektlabor hat mir viele Erkenntnisse und Erfahrungen gegeben

und zudem Spaß gemacht. Ich war Mitglied in der Gruppe 3 der Standby-Schaltung und arbeitete mit zwei weiteren Kommilitonen an unserer Aufgabe. Das Arbeitsklima war zu jederzeit angenehm und die Stimmung in der Gruppe war freundlich und locker :) Uns wurde das Labor E 738 zur Verfügung gestellt, welches gut ausgestattet ist. Einzig der Zeitaufwand war für mich zu hoch, da wir noch oft bis 22Uhr oder länger im Labor saßen.

An dieser Stelle kann natürlich nur ein subjektiver Eindruck meinerseits gegeben werden, da die persönlichen Meinungen wohl auseinander gehen werden. Es sei folgendes gesagt. Im Laufe des Semesters empfand ich die Arbeit im Projektlabor als eine der angenehmsten. Es wird viel Wert darauf gelegt, dem Studenten auch neben theoretischen Aspekten vor allem praktisches Know-how zu vermitteln. Dabei muss betont werden, dass die Projektleitung stets darum bemüht war ein produktives, freies Arbeiten zu gewährleisten. Sympathisch und engagiert wurden wir durch die einzelnen Etappen des Projekts geführt und hatten Spaß dabei. Zusatztermine und das waren so einige wurden nie als Last empfunden und gern in Kauf genommen. Das daraus ein nettes, soziales Miteinander innerhalb der Gruppe entstand, ist wohl selbstverständlich. Alle Aufgaben wurden stets erfüllt, Termine pünktlich eingehalten. Was bleibt mir abschließend also zu sagen außer, dass das Projektlabor für alle Studenten Pflicht im Grundstudium ET werden sollte.

Mir wurde im Vorfeld von dem Projektlabor berichtet, dass es sehr interessant sei, dass man sehr viel über praktisches Arbeiten lernen könnte, dass Gruppenarbeit sehr wichtig sei, aber auch dass es sehr arbeitsintensiv seien würde. Das trifft meine jetzige Meinung ziemlich gut. Es war sehr spannend zu sehen wie sich ein Projekt vom Vorschlag bis zur Fertigstellung in all sein Einzelheiten entwickelt. Man konnte vieles von seinem gelerntem Wissen einsetzen, konnte aber vor allem Dingen viel neues lernen. Die Gruppenarbeit, die im Projektlabor absolut notwendig ist, hat eigentlich immer großen Spaß bereitet. Nicht nur das man von den anderen was lernen konnte, sonder hauptsächlich die angenehm lockere Atmosphäre ist hier hervorzuheben. So war man auch gerne bereit überstunden zu machen, oder auch an zahllosen Zusatzterminen teilzunehmen. An dieser Stelle mal ein DANK an meine Gruppe!!! Da sind wir auch schon bei dem Arbeitsaufwand, ich habe dieses Semester für keine andere Vorlesung

so viel zeit investiert wie für das Projektlabor. Da setzt aber auch meine Kritik ein, da das Projektlabor jetzt für alle neuen Bachelor flicht ist und ich keine Lust gehabt hätte mit Leuten in einer Gruppe zu sein, die nicht den nötigen Elan zeigen. Dies war bei uns in der Gruppe zum Glück nicht der Fall. Abschließend bleibt nur noch zu sagen, dass das Projektlabor dieses Semester auf jeden Fall das Highlight war und jedem unbedingt anzuraten ist, der den nötigen Ehrgeiz besitzt.

Für mich stand am Anfang des Semesters die Frage: Projektlabor oder Standardlabor. Meine Entscheidung fiel auf das Projektlabor, weil ich mir davon erhoffte, mehr Praxisorientierung zu bekommen, als es bei den Laboren GdE 1A,1B der Fall war. Bedenken hatte ich zunächst hinsichtlich der von uns erwarteten Fachkenntnisse. Diese wurden jedoch schnell ausgeräumt, da noch nicht vorhandene Kenntnisse selbstständig erarbeitet werden konnten bzw. durch Vorträge der Studenten aufgenommen wurden. Jeder hat so seine eigene Vorstellung bei der Entwicklung eines Produktes. Bei rund 40 Studierenden ist es sicher nicht leicht eine gemeinsame Linie zu finden. Dieses ist jedoch notwendig, wie ich finde, denn im späteren Berufsleben ist Projektarbeit in unserem Beruf nicht selten. Einen nicht unerheblichen Anteil an dem Gelingen des Projektes haben mit Sicherheit die Betreuer des Projektlabores. An sie auch an dieser Stelle ein grosses Dankeschön

Teil III

ENTWICKLUNG

8 SCHNITTSTELLEN UND BUSBELEGUNG

Nr.	Signal	Anmerkung
1	+5V	digital+
2	DGND	digitale Masse
3	+15V	analog+
4	AGND	analoge Masse
5	-15V	analog-
6	15V AC L	L: Phase
7	15V AC N	N: Neutraleiter
8	U_{Messa}	Spannungsmessung G4-intern
9	U_{Messb}	Spannungsmessung G4-intern
10	WoM	Elektronik G2 → Logik (digitales Signal)
11	Clap	Elektronik G2 → Logik (digitales Signal)
12	Master	Elektronik G4 → Logik (digitales Signal)
13	Standby 1	Elektronik G3 → Logik (digitales Signal)
14	Standby 2	Elektronik G3 → Logik (digitales Signal)
15	Standby 3	Elektronik G3 → Logik (digitales Signal)
16	Standby 4	Elektronik G3 → Logik (digitales Signal)
17	Dose 1 - Slave	Logik → Netz (digitales Signal)
18	Dose 2 - Slave	Logik → Netz (digitales Signal)
19	Dose 3 - Slave	Logik → Netz (digitales Signal)
20	Dose 4 - Slave	Logik → Netz (digitales Signal)
21	Dose 5 - Master	Logik → Netz (digitales Signal)
22	Dose - Dimmer	Logik → Elektronik G3 (analoges Signal)
23	MasterMess	Strommessung → Elektronik G4 (analoges Signal)
24	StandbyMess 1	Strommessung → Elektronik G3 (analoges Signal)
25	StandbyMess 2	Strommessung → Elektronik G3 (analoges Signal)
26	StandbyMess 3	Strommessung → Elektronik G3 (analoges Signal)
27	StandbyMess 4	Strommessung → Elektronik G3 (analoges Signal)
28	StandbyRestart	Logik → Elektronik G3 (digitales Signal)
29	DimPhasenAnschn	Elektronik G3 → Leistung G3
30	I_{Messa}	Strommessung G4 intern
31	I_{Messb}	Strommessung G4 intern
32	RelPhasSchalt	Phasenerkennungssignal G5 intern

Tabelle 8.1: Der Bus

9 SCHALTUNGEN DER KLEINGRUPPEN

9.1 GRUPPE 1: BEDIENUNG UND LOGIK

9.1.1 Die Logik

Es war unsere Aufgabe für die Realisierung des Geräts eine zentrale Einheit aufzubauen, die alle Ausgabesignale der anderen Gruppen verarbeitet, auswertet und anhand dessen die Steckdosen aktiviert/deaktiviert.

Zu verarbeiten sind mehrere Funktionen:

- WoM - Reaktion der Steckdose auf den Musiksensor
- Clap - Reaktion der Steckdose auf den Klatschsensor
- Timer - Abschalten der Steckdose nach einer gewissen Zeit
- Master/Slave Funktion
- Manuelle Bedienung
- Abschalten, wenn nur ein Standbystrom fließt

Es entstand relativ früh der Wunsch danach, dass jede von 6 Steckdosen alle Funktionen hat und man diese auch noch kombinieren kann. Es war zwar leider nicht möglich alle 6 Steckdosen mit diesen Funktionen zu belegen, aber fünf sind es wenigstens geworden. Ein weiterer Abstrich musste auch bei der Auswahl der Funktionen gemacht werden - es wäre viel zu kompliziert geworden, wenn jede Steckdose auf mehrere Funktionen eingestellt werden kann.

Daraus erfolgte dann die Einteilung in Modi, die weiter unten näher erklärt werden. In den Modis sind Funktionen des gleichen Typs zusammengefasst. Zum Beispiel der Klatsch- und WoM-Sensor im sog. Sensormodus.

Nun war die Frage, ob man für jeden Kanal eine spezielle Platine fertigt. Dies haben wir aber als unpraktisch angesehen, weil wir damit fünf verschiedene Layouts und dann Platinen hätten anfertigen müssen. So kam

die Idee auf ein Bussystem mit Adressierung aufzubauen. Die Schaltungen die alle Platinen nutzen, kamen so auf eine Masterplatine (auf der sich auch noch die Steuerung für den Timer und den Dimmer befindet).

Der 3bit breite Adressbus ist folgendermaßen Codiert:

Kanal	2^0	2^1	2^2
1	1	0	0
2	0	1	0
3	1	1	0
4	0	0	1
5	1	0	1

Tabelle 9.1: Adressbus

Bestückungs und Löthinweise Es hat sich gezeigt, dass durch die hohe Dichte der Bauteile bei der Bestückung am besten folgendermaßen vorgegangen wird:

1. Einlöten des DIP-Schalters
2. Einlöten der beiden Sockel links vom DIP-Schalter - zuerst den unteren
3. Einlöten des großen Sockels
4. Die weitere Reihenfolge ist recht beliebig
5. Den Busstecker als letztes auflöten

Weitere Hinweise:

- Alle Bauteile müssen von oben und unten angelötet werden
- Bei dem Wannenstecker (links) ist der Pin 3 (2. Reihe von oben, linker Pin) auch auf der Oberseite anzulöten (+5V)
- Die 3polige Messerleiste im rechten oberen teil der Platine ist auch hauptsächlich von oben anzulöten
- Die für die Testpins vorgesehenen Vias müssen zumindest mit Draht durchkontaktiert werden

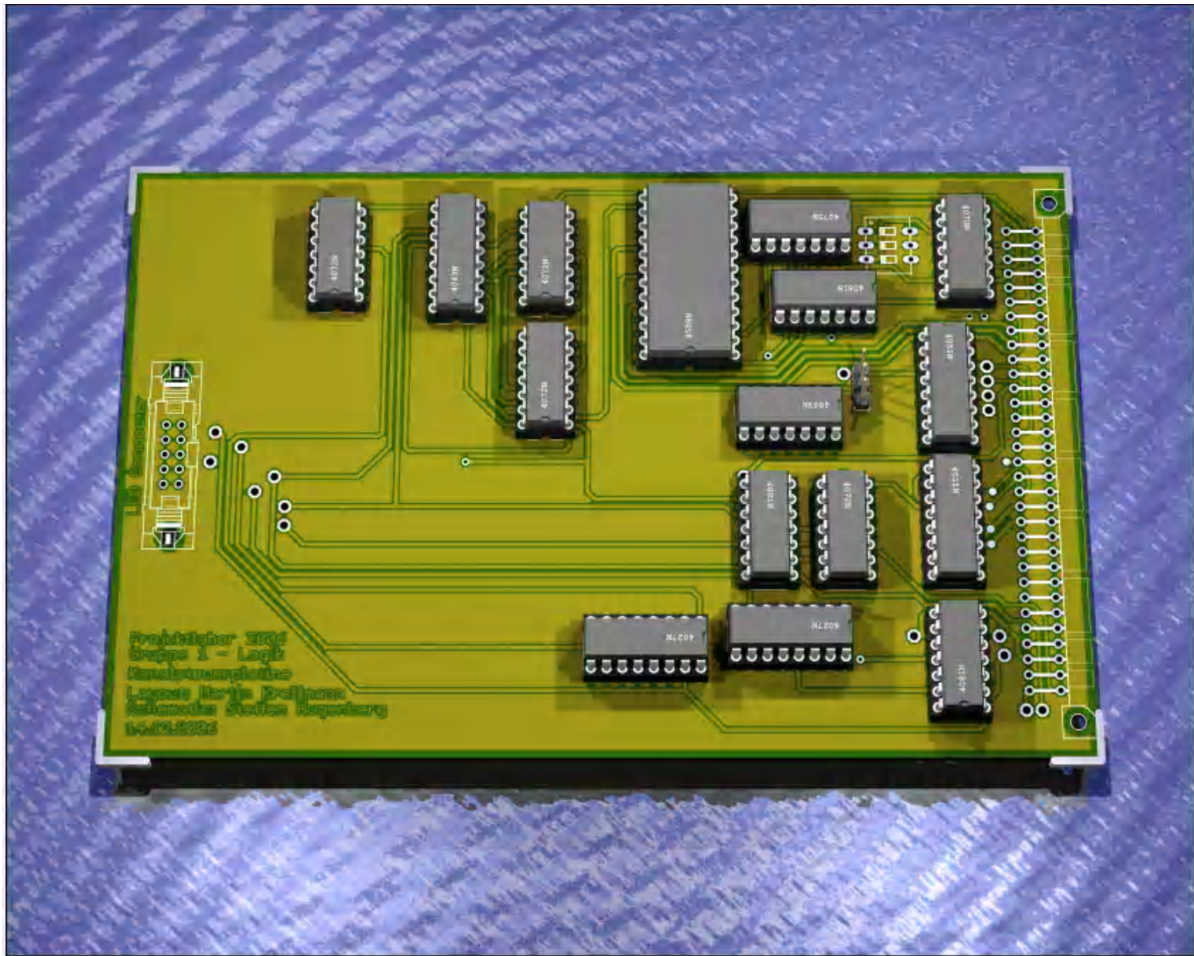


Abbildung 9.1: Platine Kanalplatine Top

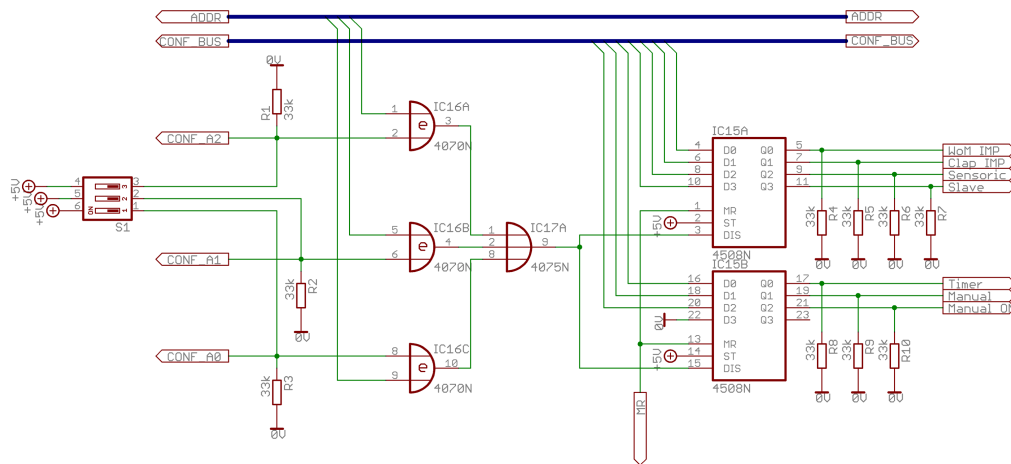


Abbildung 9.2: Platine Kanalplatine Top

Adressierung Die Schaltung verfügt über zwei Hauptbusse, den Konfigurations- und den Adressbus. Über den Konfigurationsbus laufen alle Signale, die von der Fernbedienung kommen. Diese stehen allen Platinen in unserem Bus zur Verfügung.

Der drei Bit breite Adressbus dient dazu eine Platine auszuwählen, die auf die Signale von der Fernbedienung reagiert. Dazu ist auf jeder Kanalplatine ein DIP-Schalter vorhanden, mit dem die Adresse der Platine eingestellt werden kann (S1). Die nachfolgenden XOR-Gatter (IC16) vergleichen die Adresse der Platine mit der vom Bus und schalten bei Übereinstimmung die Ausgänge der beiden Latches (IC15) durch (DIS = Disable Eingang auf Low).

Die Latches leiten solange, wie ihr Disable Eingang Low ist alle Signale vom Konfigurationsbus auf die Platine weiter. Geht der Disable Eingang wieder auf High (stimmt also die Adresse nicht mehr) geht ihr Tristate Ausgang in den Hochohmigen Zustand und trennt die Platine vom Bus. Um an den Ausgängen des Latches für definierte Nullen zu sorgen sind die sieben Pull-Down Widerstände angeschlossen (Ihr Wert beträgt 33k). Die drei Widerstände links im Bild sind ebenfalls Pull-Down Widerstände um am Adressschalter für definierte Nullen zu sorgen.

Eingabe/Ausgabe

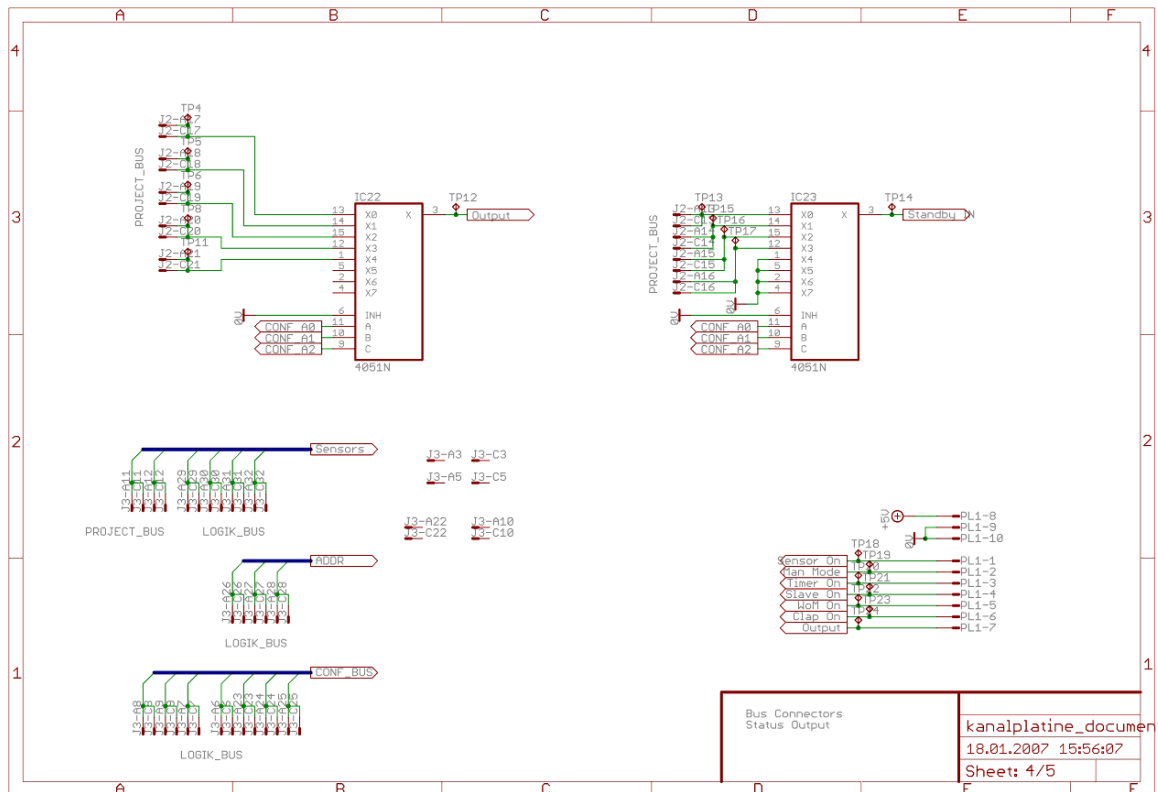


Abbildung 9.3: Schematic Eingabe/Ausgabe

IC22 und IC23 sind beides Analogmultiplexer. Sie werden ebenfalls vom DIP-Schalter der jeweiligen Kanalphatine gesteuert und wählen die der Platine entsprechende Standby-Signalleitung aus (rechter Multiplexer), bzw. legen den Ausgang der Platine entsprechend ihrer Adresse auf die Richtige Leitung am Bus (linker Multiplexer). Diese Signalleitungen steuern dann, ob die Steckdose an oder aus ist.

Moduswahl

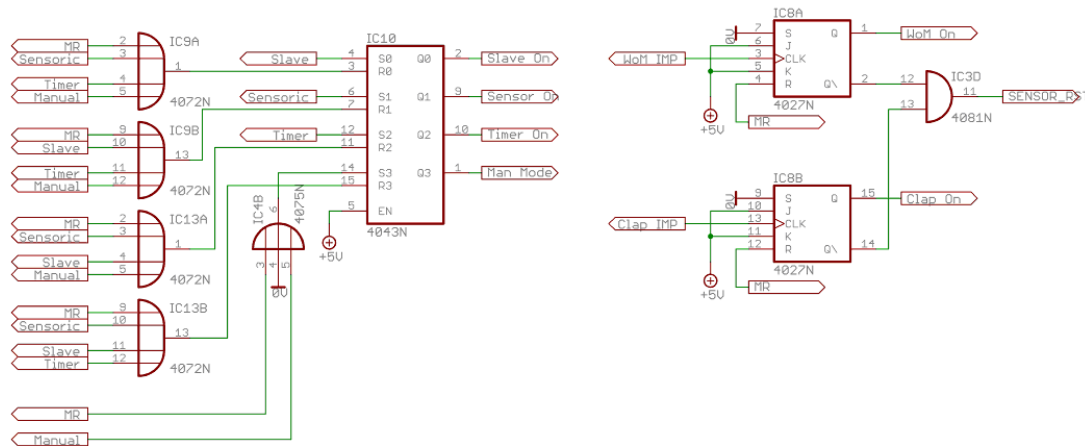


Abbildung 9.4: Schematic Moduswahl

Die Logik, die zum Einstellen des Modus in dem sich eine Kanalplatine befindet dient, ist aus mehreren FlipFlops aufgebaut. IC10 ist ein Baustein mit mehreren RS-FlipFlops, welche den generellen Modus bestimmen. Verfügbare Modi sind:

- Sensor Modus
- Slave Modus
- Timer Modus
- Manueller Modus

Das Signal, was auf den Set-Eingang des jeweiligen RS-FlipFlops gelegt ist kommt direkt vom in unter Adressierung beschriebenen Latch. Es wird aber gleichzeitig auch dazu benutzt um die anderen RS-FlipFlops Rückzusetzen. Dazu dient das den Reset-Einängen vorgeschaltete 4fach ODER (IC9, IC13). Auf ihm liegen alle Signale, bis auf das was am entsprechenden Set-Eingang liegt. So ist sichergestellt, dass die Schaltung sich immer nur in einem Modus befindet.

Hinweis:

Beim Einschalten der Versorgungsspannung tritt ein Master Reset auf (Signal MR) diese Signal versetzt u.a. die Schaltung in den Manuellen Modus.

Die Erzeugung des Master Reset Signals wird bei der Schaltungsbeschreibung der Hauptplatine erklärt.

IC8 enthält zwei JK-FlipFlops, welche für den Sensor-Modus auswählen auf welche der beiden Sensoren (WoM, Clap) die Schaltung reagiert. Die FlipFlops sind Impulsgesteuert, die Impulse werden durch Tastendruck an der Fernbedienung generiert. Der Anschluss des MR-Signals versetzt die FlipFlops beim Einschalten in einen definierten Zustand.

Status

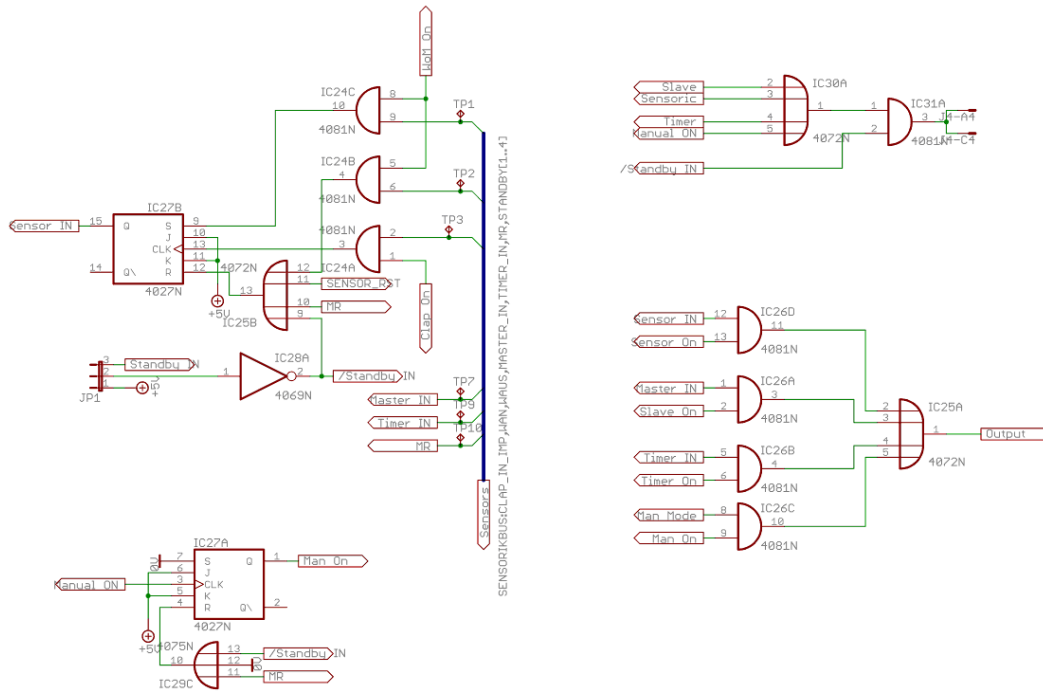


Abbildung 9.5: Schematic Status

Der mit IC27A aufgebaute Schaltkreis funktioniert ähnlich wie die Flip-Flops für WoM- und Klatschsensor. Er dient dazu den Kanal im manuellen Modus ein oder auszuschalten und ist ebenfalls impuls gesteuert. Der Reset-Eingang wird benutzt um das FlipFlop beim einschalten Rückzusetzen (Master Reset), bzw. um es beim auftreten eines Standby für den Kanal abzuschalten (IC29C).

IC27B ist zuständig für Ausgangswert des Kanals im Sensormodus. Der Clock-Eingang des FlipFlops wird dazu genutzt um seine Ausgänge umzuschalten, wenn ein Impuls vom Klatschsensor kommt und der Kanal auf diesen reagieren soll (IC24A). Der Set-Eingang wird verwendet um das FlipFlop zu setzen, wenn vom WoM-Sensor ein Signal kommt und der Kanal darauf reagieren soll (IC24C). Der Reset-Eingang wird u.a. verwendet um das FlipFlop rückzusetzen, wenn der WoM-Sensor sich abgeschaltet hat und der Kanal darauf reagieren soll (IC24B). Um S- und R-Eingang dafür nutzen zu können wird der WoM Impuls auf der Hauptplatine in zwei einzelne Impulse WAN und WAUS, die dem Status des WoM Sensors entsprechen aufgeteilt.

Weitere Funktionen des Reset-Eingangs sind:

- Master Reset: Rücksetzen des FlipFlop beim Einschalten
- Sensor Reset: Dieses Signal wird von den für die Sensoren zuständigen Modus-FlipFlops generiert, wenn beide deaktiviert sind (/Q auf high)
- Abschalten des Kanals falls ein Standby auftritt

Kombiniert werden diese Signale durch IC25B.

IC25A ist ein vierfach ODER, dass den Ausgang bestuert. An seinen Eingängen sind UND-Gatter angeschlossen, die somit den Zustand des jeweiligen Modus - falls dieser aktiviert ist - auf den Ausgang legen können. Das vierfach ODER IC36A und das folgende UND-Gatter (IC37A) geben einen Wakeup-Impuls zum reaktivieren der Standbyerkennung aus.

Dimmer/Timer Das Blockschaltbild zeigt den ursprünglichen Aufbau für den Dimmer und Timer. Die grundlegende Idee war, solange ein Signal von der Fernbedienung kommt, sollen Dimmer und Timer eingestellt werden können. D.h. für die Dauer des Tastendrucks der entsprechenden Taste auf der Fernbedienung, soll entweder die Ausgangsspannung für den Dimmer ansteigen/ absinken oder der Anfangswert für den Timer erhöht werden. Um dies zu ermöglichen sollte ein Sekundentakt als Systemtakt implementiert werden. Bei einem Taktimpuls und einem Signal von dem Timer soll somit der Wert im Rückwärtszähler um eine Stelle erhöht werden, von dem der Timer dann beginnt runter zu zählen. Durch den Frequenzteiler sollten Bauteile gespart und aus dem Sekundentakt ein Minutentakt werden. Der aktuelle Zählstand des Timers soll auf einem 7-Segment-Display ausgegeben werden.

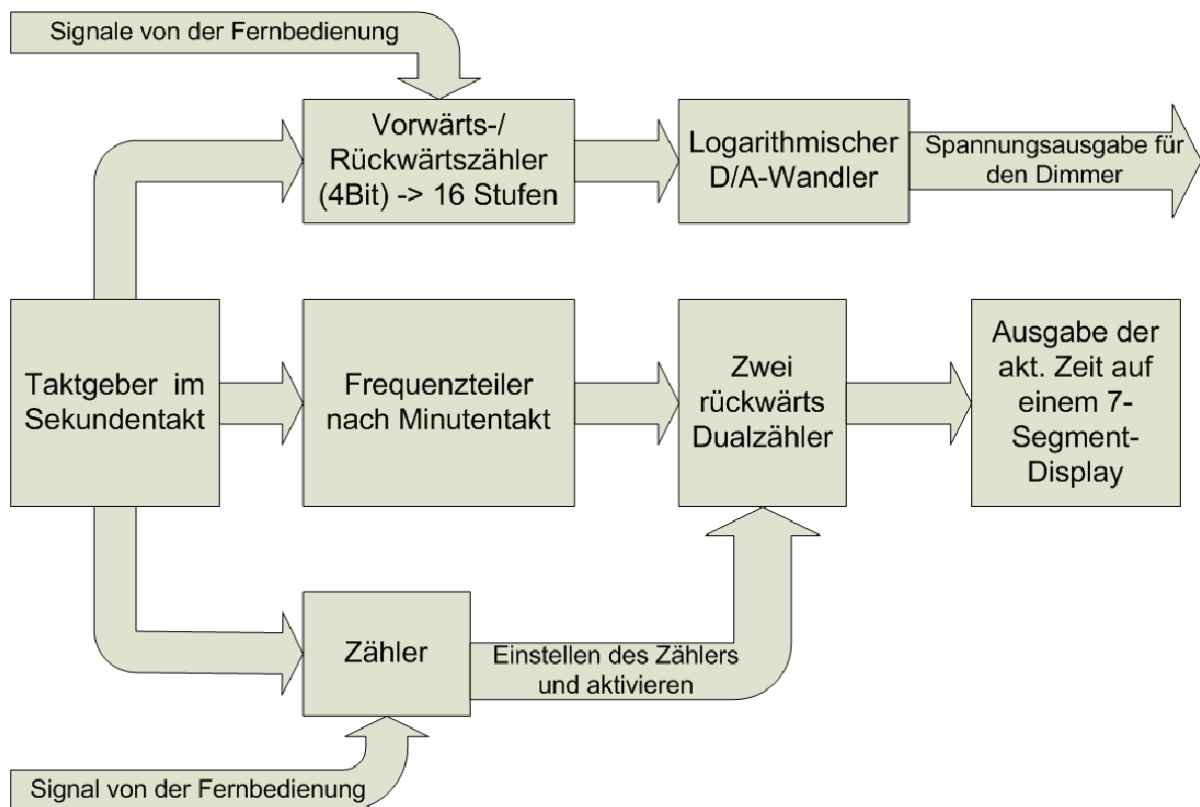


Abbildung 9.6: Dimmer/Timer

Für den Dimmer war etwas ähnliches geplant, nur sollte ein Vor-/Rückwärtszähler, der durch zwei unterschiedliche Taster gesteuert wird, einen exponentiellen DA-Wandler ansteuern, der die entsprechenden Spannungswerte zwischen 0V und 5V liefert.

In der umgesetzten Schaltung wurden einige kleine Modifikationen vorgenommen. Der Sekundentakt zum einstellen des Timers und Dimmers,

wurden beibehalten. Für den Minutentakt wurde ein weiterer Taktgeber eingesetzt, damit der Sekudentakt evtl. geändert werden kann, falls der Takt zum einstellen des Timers und Dimmers zu schnell oder zu langsam ist. Da es anscheinend keine exponentiellen DA-Wandler gibt, soll ein ein 16-aus-4-Decoder eingesetzt werden, der fast den entsprechenden Verlauf für die Ausgangsspannung liefert.

Sleep-Counter Die beiden Bauteile 4510N sind Dual-Vorwärts/Rückwärts-Counter. IC21 ist für die 0 bis 9 Minuten und IC24 ist für die 10 bis 90 Minuten. Am Pin 10 (U/D) wird die Zählrichtung eingestellt. Liegt eine '1' am Eingang, so wird hochgezählt und bei einer '0' am Eingang wird runtergezählt. Bei beiden Countern wurde Pin 10 generell auf '0' gelegt, da mit ihnen eine Sleep-Funktion realisiert werden soll und somit nur runtergezählt werden muss. P1 bis P4 sind die Eingänge für den Reload-Wert, der den Anfangswert des Counters einliest, sobald PE auf '1' liegt. Durch die '0' am Pin 5 (CIN) wird das Zählen ermöglicht und Pin 9 ist ein Reset, welches bei '1' den Counter zurücksetzt. Der Takt des Counters liegt an Pin 15 (CLK) an. Bei jedem Taktimpuls wird der Wert des Counters um ± 1 , je nach Zählrichtung, verändert. IC24 bekommt sein Taktsignal vom Pin 7 von IC21, ein überlaufimpuls des Timers. Den Reload-Wert bekommt der zweite Counter von einem anderen Counter, der später noch beschrieben wird.

Die beiden 4511N sind BCD-Decoder und Treiber für das Display. Sie set-

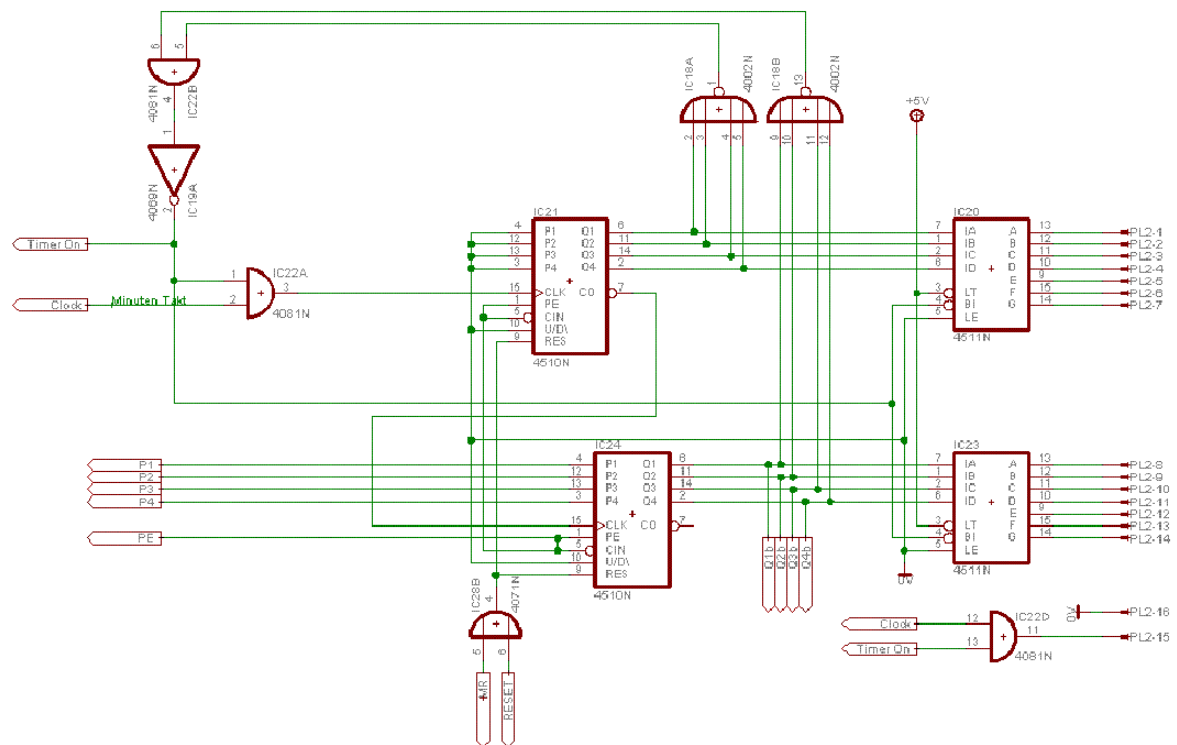


Abbildung 9.7: Schematic Sleep-Counter

zen die 4Bit Counterwerte so um, dass damit ein 7-Segment-LED-Display betrieben werden kann. Ihre Ausgänge können LEDs mit bis zu 10mA treiben. An Pin 3 (LT) kann man das Display testen und mit Pin 4 (BI) wird das Display gelöscht. Beide Eingänge sind low-active, d.h. bei einer '0' am Eingang werden sie aktiviert. Der 4511 hat intern ein Latch. Sobald

an Pin 5 (LE) eine '0' anliegt, wird der Eingangswert dekodiert auf den Ausgang durchgeschaltet. Die Schaltung um IC18, IC22A/B und 19A soll erkennen, ob der Timer beim Wert '00' angekommen ist, ihn stoppen und das Display ausschalten. Steht der Timer auf einen Wert ungleich '00', so liegt mindestens an einem Ausgang der beiden NOR-Gatter von IC18 eine '0', das AND-IC 22A hat somit eine '0' am Ausgang, die negiert wird (durch IC19A) und der Timer somit seinen Endwert ('00') noch nicht erreicht hat. Für IC22A und IC18 wurde kein NAND-Gatter verwendet, da dies die einzige Stelle in der Schaltung wäre, wo ein NAND verwendet wird. Da aber AND- und NOT-Gatter noch an weiteren Stellen verwendet werden und noch Gatter auf anderen ICs frei sind, sollten lieber die sowieso vorhandenen Gatter genutzt werden und nicht ein neues IC implementiert werden, welches nur unnötigen Platz auf der Karte einnimmt und drei unnötige Gatter liefert.

Das 'Timer/On'- Signal liefert eine '1', was bedeutet, dass der Endwert noch nicht erreicht wurde. Das AND-Gatter IC22B verhindert, dass der Minutentakt an den Taktpin 'CLK' von IC21 gelangt, der Timer wird somit gestoppt. Das 'Timer/On'-Signal wird ebenfalls an den Pin 4 (BI) von IC20 und IC23 gelegt. Sobald also der Endwert vom Timer erreicht wird, wird somit das Display komplett abgeschaltet. Dies soll Energie sparen, was den Ziel der Steckdose entgegen kommt und da die Steckdose beim Endwert sowieso abgeschaltet wird, ist eine Anzeige des Endstandes sowieso überflüssig.

Das Signal 'MR' (Master-Reset) und 'Reset' setzen die Counter zurück. Das 'MR'-Signal kommt von einem Controller, der nach dem Einschalten der Versorgungsspannung die Bauteile, die nach dem Einschalten einen undefinierten Zustand haben, wie die Counter, für ca. 100ms ein Reset-Signal liefert und somit für definierte Anfangswerte sorgt. Das 'Reset'-Signal sowie die Signale 'PE' und 'P1'- bis 'P4' kommen von der Teilschaltung, die den Timer einstellen soll und im folgenden erläutert werden soll.

Der Zähler zum Einstellen der Timers IC26 ist der gleiche Counter wie schon in der vorherigen Schaltung, nur dass dieser Null als Reload-Wert hat und hoch zählt. Das Count-Signal kommt von der Fernbedienung. Sobald Count und der Sekundentakt anliegt, wird der Counter um eins erhöht. Die Schaltung am Ausgang von IC26 sorgt dafür, dass der Counter nur bis 9 zählt und bei 10 wieder auf Null gesetzt wird, dadurch, dass beim Wert 10 der PE-Eingang auf '1' liegt, somit der Wert 0 in den Counter geschrieben wird und somit wieder bei Null begonnen wird mit dem Zählen. Die Signale P1 bis P4 liefern die Reload-Werte für den zweiten Counter aus der ersten Schaltung. Sobald also das Count-Signal anliegt, liegt das PE-Signal auf '1' und der Wert am Ausgang des IC26 wird in den zweiten Counter aus der ersten Schaltung (IC24) geschrieben. Somit werden die 10er Stellen des Timers nur verändert, man kann den Timer also im Abstand von 10 Minuten einstellen. Durch das invertierte Count-Signal am Reset-Eingang von IC26 wird das IC immer zurückgesetzt, sobald das Signal auf '0' geht. Somit beginnt der Timer immer wieder von Null mit dem Hochzählen. Das hat den Vorteil, dass man durch ein kurzes Drücken der Timertaste den Timer jederzeit abschalten kann, was aber gegebenenfalls zum Abschalten der entsprechenden Dose führen kann.

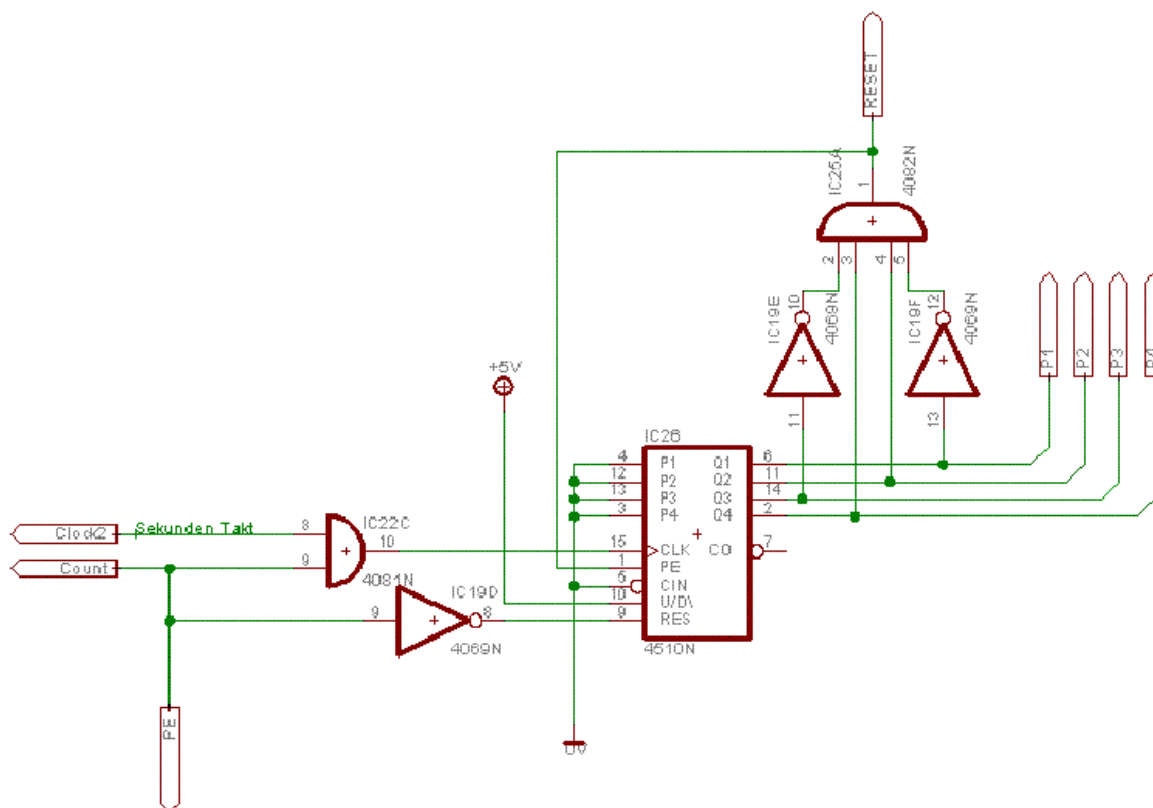


Abbildung 9.8: Schematic Timerzähler

Beim Dimmer wurde wieder der Counter 4510 verwendet, dieses Mal je-

doch als Vorwärts- und Rückwärtszähler. Neben 'CIN' wurden hier auch die Reload-Werte und 'PE' auf '0' gelegt, da sie hier nicht benötigt werden. Um klare Anfangsverhältnisse zu schaffen, wurde ebenfalls das 'MR'-Signal auf den Reset-Eingang des Counters gelegt. Meistens schließt man an den Dimmer eine Lampe als Verbraucher. Da man häufig die Lampe im unteren Helligkeitsbereich nicht so gut einstellen kann, sollte kein linearer Verlauf des Dimmers realisiert werden. Dazu dient der 4514 ein 16-zu-1-Decoder, der für jede Kombinationsmöglichkeit der aus dem Counter kommenden 4Bit-Kombination einen eigenen Ausgang bereitstellt.

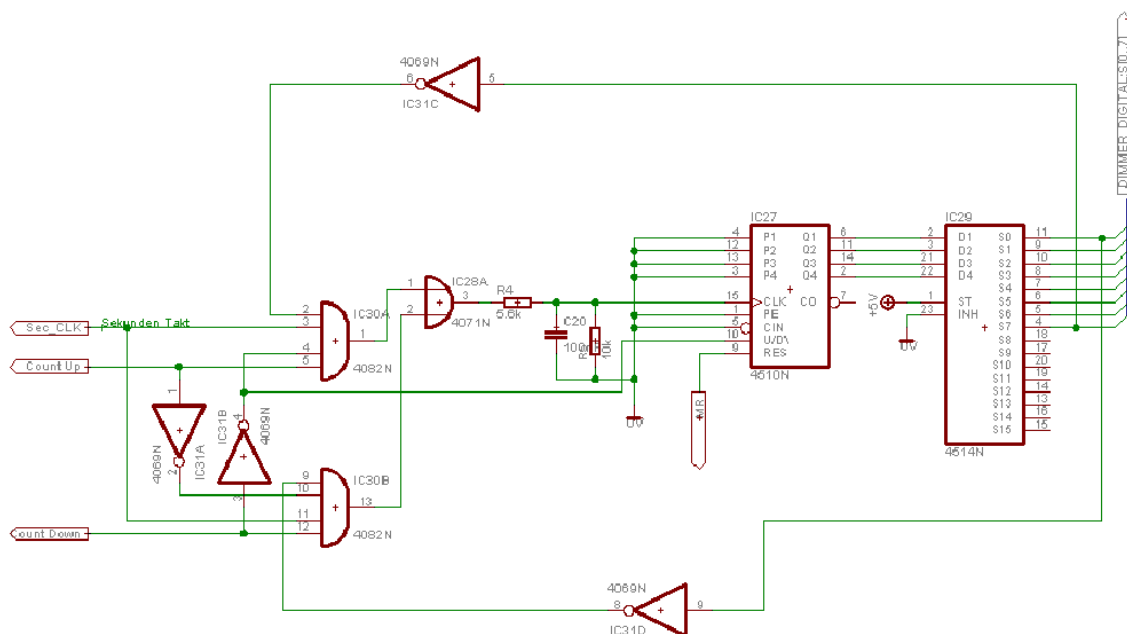


Abbildung 9.9: Schematic Dimmer

Dimmer Die Zählrichtung des Counters wird am Pin 10 (U/D) eingestellt. Bei einer '1' am Eingang wird hoch- und bei einer '0' runtergezählt. Soll der Counter hoch zählen, so betätigt man den entsprechenden Taster auf der Fernbedienung und das 'Count-Up'-Signal liegt am Eingang von IC30A an. Das negierte 'Count-Down'-Signal, der Sekudentakt und der negierte Ausgang des Decoders (Ausgang S_7 , Pin 4) gehen ebenfalls auf einen Eingang des AND-Gatters. Nur wenn ein Taktimpuls, kein 'ount-Down'-Signal und der Zählern nicht beim Wert 7 angekommen ist, liegt eine '1' am Ausgang des AND-Gatters an. Beim runter zählen passiert etwas ähnliches. In diesem Fall liefert der Ausgang vom IC30B eine '1', falls das 'Count-Down'-Signal, der negierte Ausgang S_0 (Pin 11) des Decoders, ein Taktimpuls und das negierte 'Count-Up'-Signal an den Eingängen des

AND-Gatters anliegen. Die Inverter IC31A und IC31B sorgen dafür, dass jeweils eine '0' am Eingang des anderen AND-Gatters anliegt, um somit die Schaltung zu schützen, falls beide Tasten gleichzeitig betätigt werden. Die Zählrichtung wird über den Ausgang von IC31B eingestellt. Liegt ein 'Count-Down'-Signal an, wird dieses invertiert und am Pin 10 des Counters liegt eine '0' an, wodurch der Counter auf runter zählen eingestellt wird. Sobald das Count-DownSignal verschwindet, liegt eine '1' am Pin 10 des Counters an und die Zählrichtung ist hoch. Über das OR-Gatter (IC28A) werden die beiden Impulse für den Takteingang des Counters zusammengelegt und R_4 , C_{20} und R_5 sorgen für eine Zeitverzögerung des Taktimpuls am Eingang der Counters. Diese ist notwendig, damit die Zählrichtung früher als der Taktimpuls anliegt. Im Testaufbau wurde beim hoch zählen ein Schritt zu weit gezählt, da das Wechsel der Zählrichtung zu spät vom Counter durchgeführt wurde.

DA-Wandler Durch R_{24} und R_{27} wird der Referenzstrom eingestellt. Dieser errechnet sich aus

$$I_{ref} = \frac{5V}{R_{27}}, R_{24} = 4.8mA$$

. Am Ausgang liegt

$$-d/256 \cdot I_{ref}$$

an. D.h. Es liegt ein negativer Strom am Ausgang an. Das d steht für den Datenwert am Eingang der DA-Wandlers. Durch R_6, R_{23} und R_{18} wird ein Spannungsteiler realisiert. Dieser soll den Ausgangsstrom in das passende Spannungsverhältnis teilen. Für die Dimmeransteuerung sollte nicht wie ursprünglich geplant 0 bis 5V, sondern 1,9V bis 5V (5V = Vollaussteuerung des Dimmers) bereitgestellt werden. Damit der Anfangswert von 1,9V erreicht wird, ist der Spannungsteiler vorgesehen. Dadurch dass bei '00000001' als Eingangswert des DA-Wandlers fast kein Ausgangsstrom fließt, liegt am Knoten von R_6, R_7 und R_{23} 5V an und beim Erreichen des oberen Endzustandes des Counters 1,9V. Durch den Operationsverstärker TC071P (IC1) soll dies gedreht werden. Der Operationsverstärker ist als invertierter Verstärker aufgebaut und da $R_{11} = R_7$ sind, beträgt die Verstärkung 1. Der durch R_{10}, R_9 und R_8 realisierte Spannungsteiler sorgt dafür, das genau um den Mittelwert von 5V und 1,9V invertiert wird. Somit beträgt das 'Dimmer-Out'-Signal, 5V bei Vollaussteuerung und 1,9V als untere Grenze. Dadurch dass der Decoder den Counter decodiert und jedem 4Bit-Wert einen Ausgang zuweist, erhält man 2n als Ausgangswert für den Dimmer, wobei für den aktuellen Wert im Counter steht.

Die beiden Timer würden nach einer Beispielschaltung aus dem Datenblatt auf gebaut. Die Bauteilwerte wurden nach der Formel:

$$f = \frac{1.49}{(R_a + 2R_b) \cdot c}$$

berechnet. Die Kondensatoren wurden in beiden Fällen mit $100\mu F$ vorgegeben. Beim Sekundentakt ergaben sich für

$$R_a = 10k$$

und

$$R_b = 2.2k$$

. Die Frequenz beträgt somit

$$f = \frac{1.49}{(10k + 2 \cdot 2.2k) \cdot 100\mu F} = 1.0347s^{-1}$$

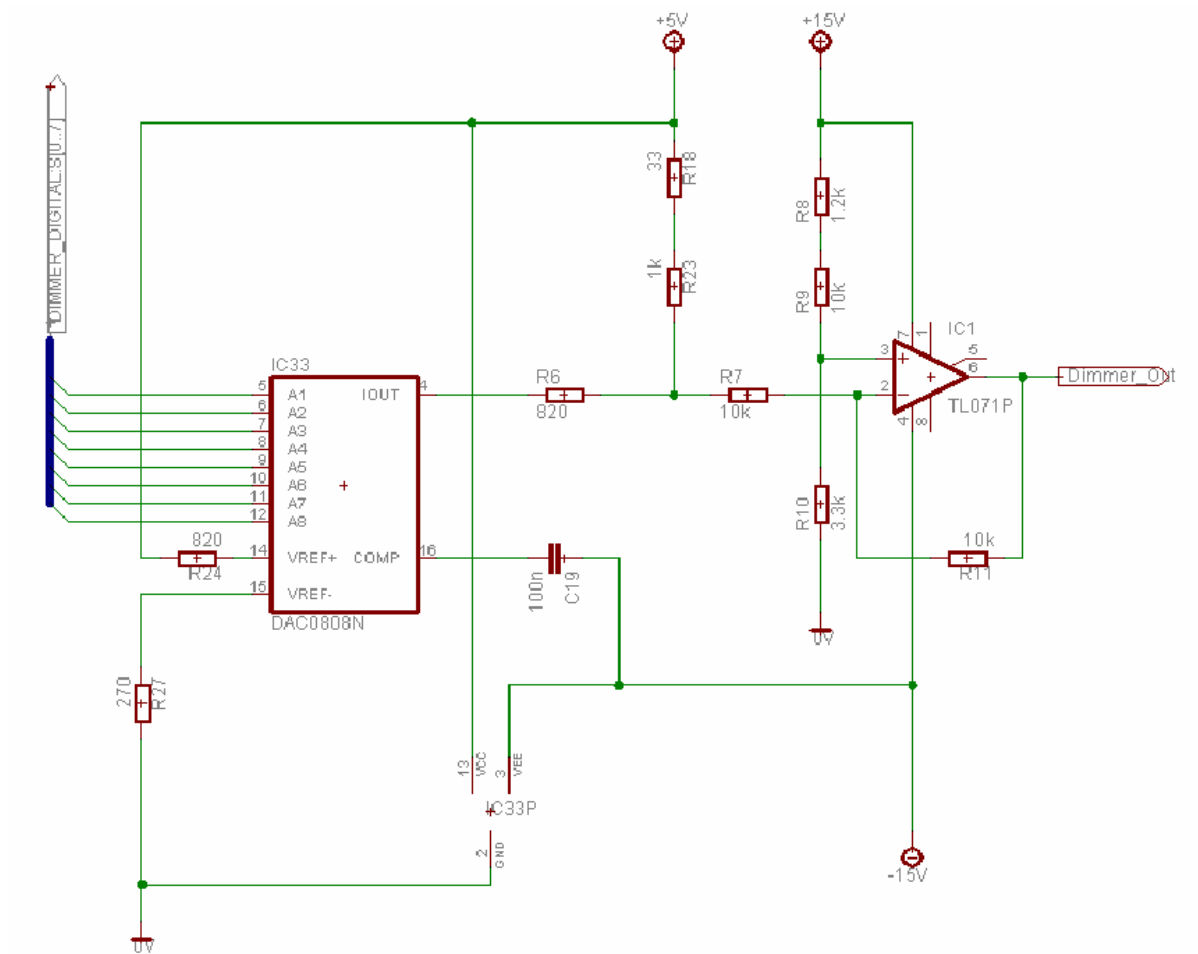


Abbildung 9.10: Schematic DA-Wandler

⇒

$$T = 0.966s$$

.

Beim Minutentakt wurde

$$R_b = 390k\Omega$$

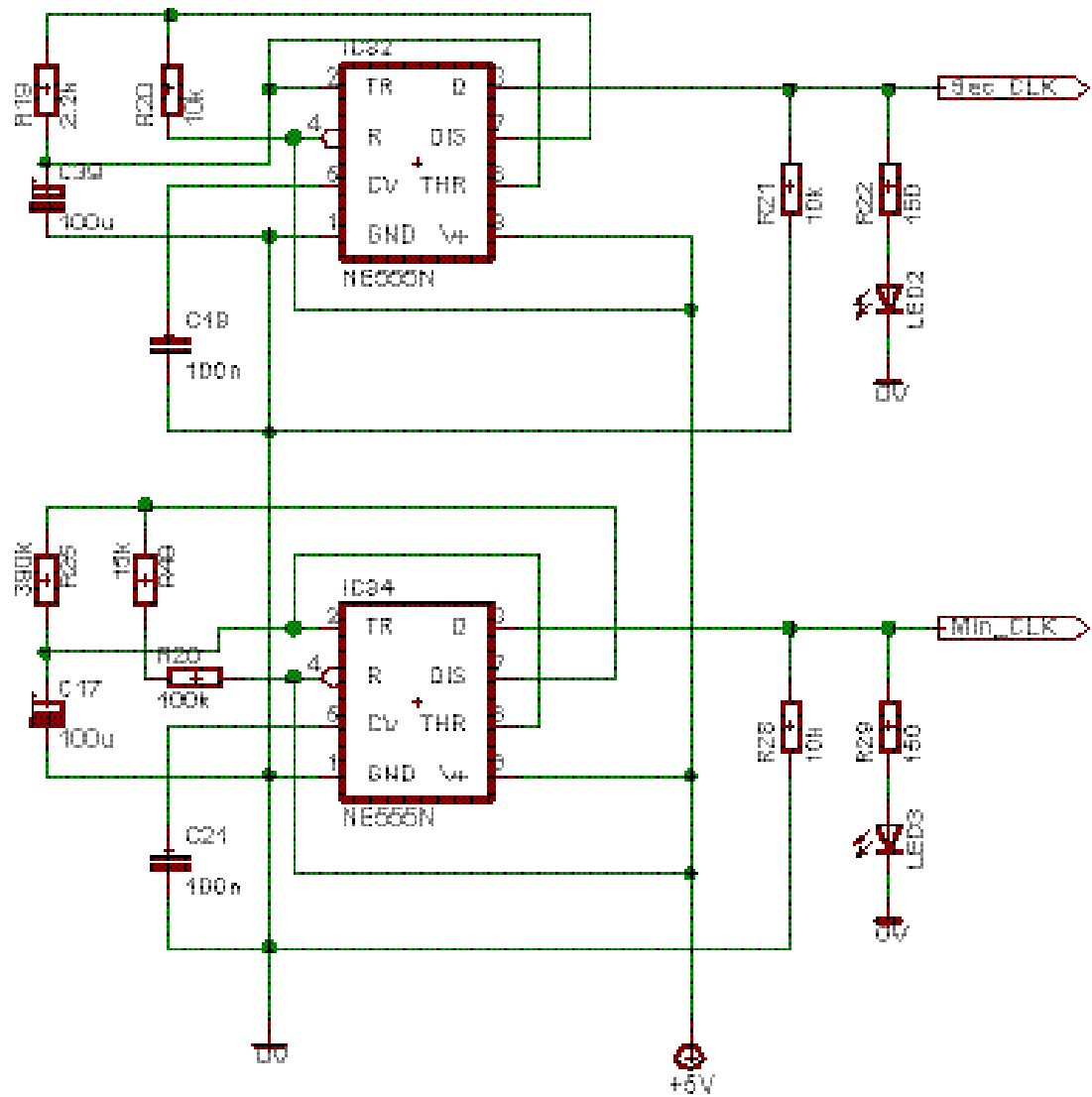
und

$$R_a = 115k\Omega$$

gewählt, wobei sich R_a aus einem $15k\Omega$ in Reihe mit einem $100k\Omega$ Widerstand zusammensetzt. Die Schaltung zeigt das folgende Bild:

Für den Sekundentakt entspricht R_{19} dem Widerstand R_b und R_{20} dem Widerstand R_a . Beim Minutentakt entspricht R_{25} dem Widerstand R_b und $R_{49} + R_{20}$ dem Widerstand R_a .

Die Kondensatoren C_{18} und C_{21} sorgen für Entstörung der Bauteile. R_{21} und R_{28} legen den Ausgang auf ein festes Potential, LED3 und LED2 wer-



den mit ihren Vorwiderständen R_{29} und R_{22} auf der Platine angebracht zur Kontrolle.

9.1.2 Die Fernbedienung

Mit der Fernbedienung können folgende Funktionen übertragen werden.
Wahltasten: Es können die Steckdosen 1..6 ausgewählt werden. Funktions-
tasten: Einzelne Funktionen können auf die vorab ausgewählten Steckdo-
sen gelegt werden.

Die Wahlkosten wurden mit Hilfe von Logik realisiert. Folgende Tabelle wurde aufgestellt:

S_0	S_1	S_2	S_3	S_4	S_5	Q_1	Q_2	Q_3
1	0	0	0	0	0	0	0	1
0	1	0	0	0	0	0	1	0
0	0	1	0	0	0	0	1	1
0	0	0	1	0	0	1	0	0
0	0	0	0	1	0	1	0	1
0	0	0	0	0	1	1	1	0

Wobei alle nicht aufgeführten Eingangskombinationen am Anfang $Q_1 = Q_2 = Q_3 = 0$ bedeuten. Von dieser Tabelle ausgehend wurden von uns Logikgleichungen für die Ausgänge $Q_{1..3}$ aufgestellt:

$$Q_3 = S_0 * \overline{S_1} * \overline{S_2} * \overline{S_3} * \overline{S_4} * \overline{S_5} + \overline{S_0} * \overline{S_1} * S_2 * \overline{S_3} * \overline{S_4} * \overline{S_5} + \overline{S_0} * \overline{S_1} * \overline{S_2} * \overline{S_3} * S_4 * \overline{S_5}$$

$$Q_2 = \overline{S_0} * S_1 * \overline{S_2} * \overline{S_3} * \overline{S_4} * \overline{S_5} + \overline{S_0} * \overline{S_1} * S_2 * \overline{S_3} * \overline{S_4} * \overline{S_5} + \overline{S_0} * \overline{S_1} * \overline{S_2} * \overline{S_3} * \overline{S_4} * S_5$$

$$Q_1 = \overline{S_0} * \overline{S_1} * \overline{S_2} * S_3 * \overline{S_4} * \overline{S_5} + \overline{S_0} * \overline{S_1} * \overline{S_2} * \overline{S_3} * S_4 * \overline{S_5} + \overline{S_0} * \overline{S_1} * \overline{S_2} * \overline{S_3} * \overline{S_4} * S_5$$

Mit Hilfe des Computerprogrammes Quine Mc Cluskey haben wir dann die Minimalform mit nur NAND Gattern berechnet. Dieser Aufbau ermöglicht es die Ausgangssignale zeitgleich abzugreifen, da die Gatterlaufzeiten gleich sind. Im folgenden werden die einzelnen Teilschaltungen dargestellt.

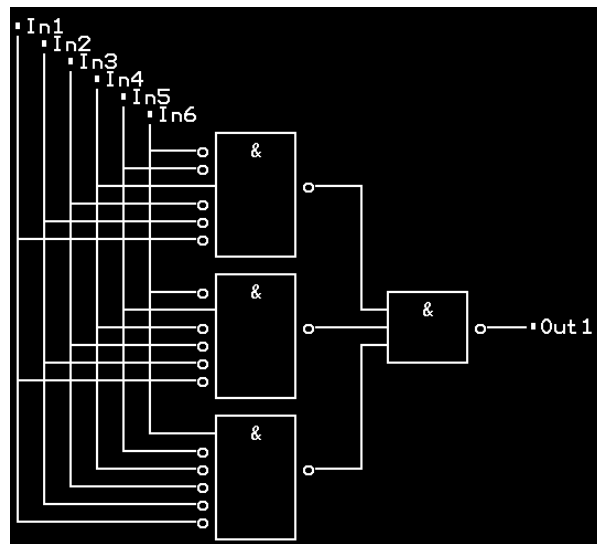


Abbildung 9.11: Teilschaltung für Ausgang OUT1

$$Q_1 = \overline{\overline{S_0} \cdot \overline{S_1} \cdot \overline{S_2} \cdot S_3 \cdot \overline{S_4} \cdot \overline{S_5} \cdot \overline{S_0} \cdot \overline{S_1} \cdot \overline{S_2} \cdot \overline{S_3} \cdot S_4 \cdot \overline{S_5} \cdot \overline{S_0} \cdot \overline{S_1} \cdot \overline{S_2} \cdot \overline{S_3} \cdot \overline{S_4} \cdot S_5}$$

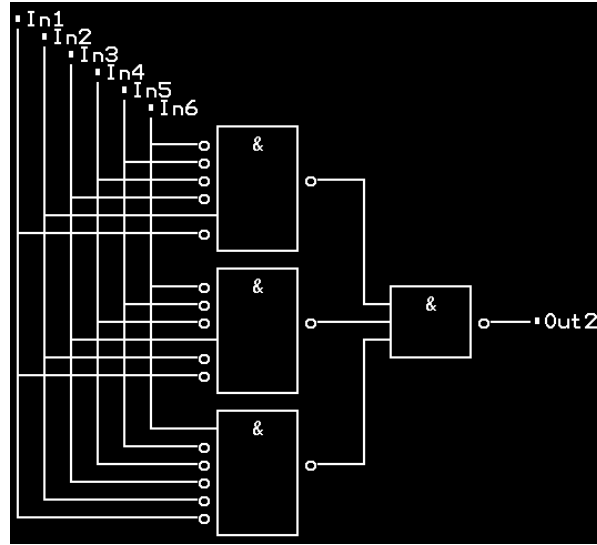


Abbildung 9.12: Teilschaltung für Ausgang OUT2

$$Q_2 = \overline{\overline{S_0 \cdot S_1 \cdot S_2 \cdot S_3 \cdot S_4 \cdot S_5}} \cdot \overline{\overline{S_0 \cdot S_1 \cdot S_2 \cdot S_3 \cdot S_4 \cdot S_5}} \cdot \overline{\overline{S_0 \cdot S_1 \cdot S_2 \cdot S_3 \cdot S_4 \cdot S_5}}$$

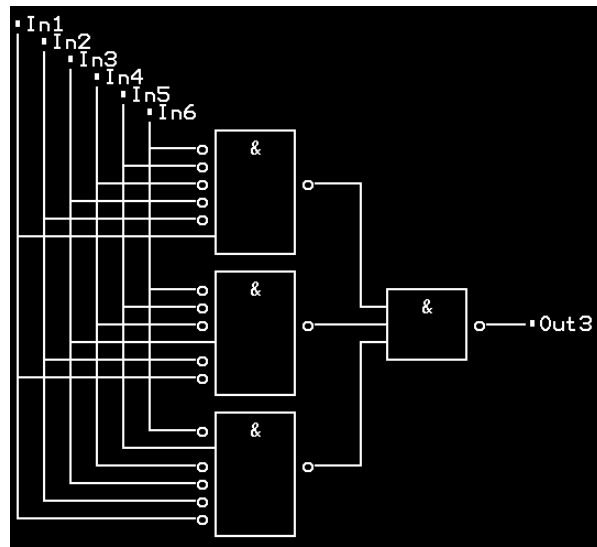


Abbildung 9.13: Teilschaltung für Ausgang OUT3

$$Q_3 = \overline{\overline{S_0 \cdot S_1 \cdot S_2 \cdot S_3 \cdot S_4 \cdot S_5}} \cdot \overline{\overline{S_0 \cdot S_1 \cdot S_2 \cdot S_3 \cdot S_4 \cdot S_5}} \cdot \overline{\overline{S_0 \cdot S_1 \cdot S_2 \cdot S_3 \cdot S_4 \cdot S_5}}$$

Diese drei Einzelschaltungen wurden zu einer zusammengeführt. Anschliessend wurden die Signale auf ein D-Latch(CD4042) gegeben. Dort werden sie gespeichert, bis an den Eingängen eine neue Kombination anliegt. Das Signal zum Speichern darf erst kommen, wenn die Eingangskombination anliegt. Damit das Speichersignal nicht mit den Signalen übereinander liegt, wird das Speichersignal über ein NAND mit invertierten Eingängen geleitet, wozu es zwei Gatterlaufzeiten benötigt. Damit ist sichergestellt, dass das Speichersignal erst am Register anliegt, wenn die Signale auf Hi-Potential sind.

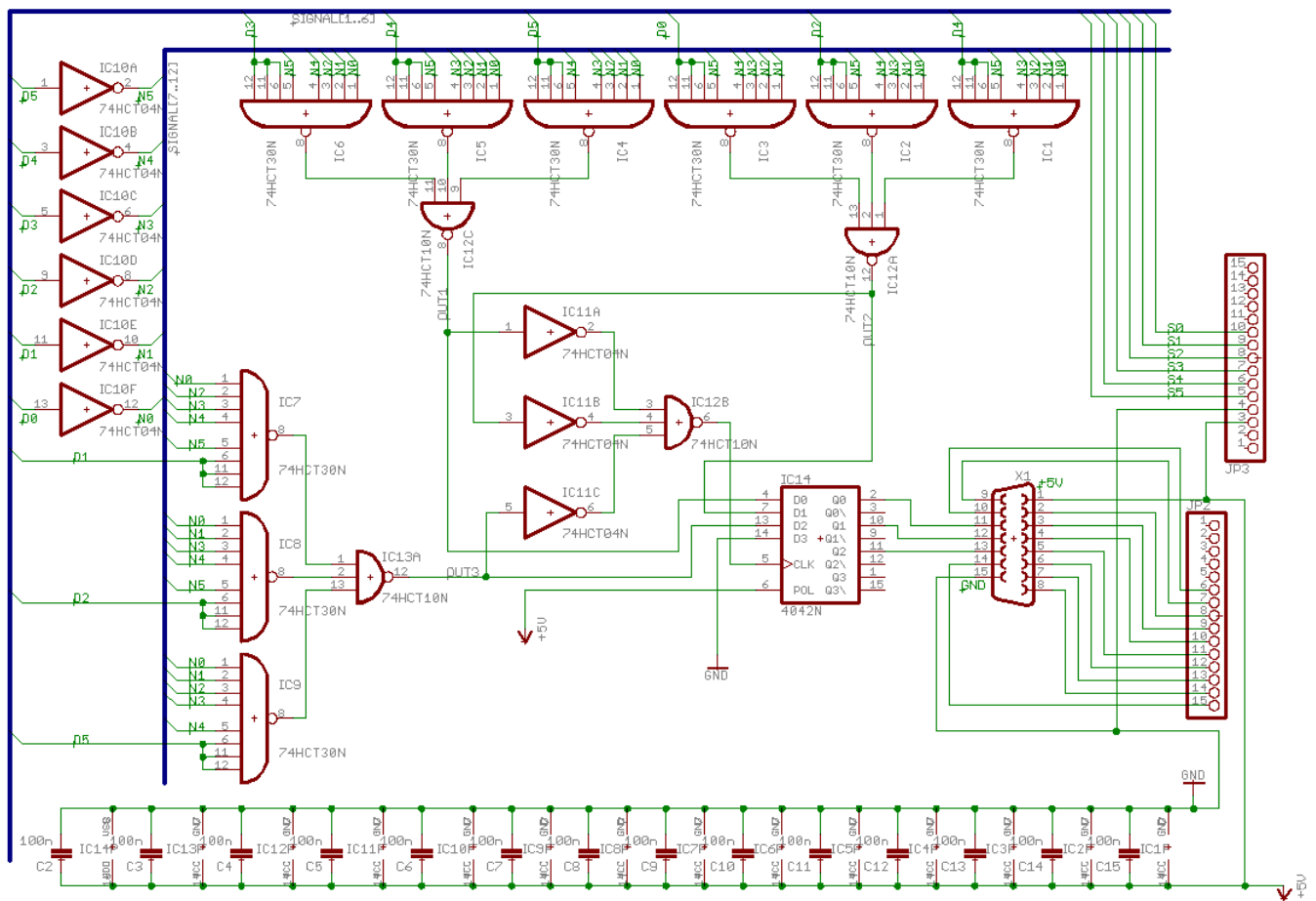


Abbildung 9.14: Schematic Wahlschaltung

Im folgenden sind noch die Layouts der Platine dargestellt. Diese Platine bildet zusammen mit der Tastaturplatine die Fernbedienung. Die beiden Platinen wurden im Format 80x100 gefertigt, so dass die Fernbedienung nicht zu gross wurde. Dies ist auch der Grund für den Einsatz von SMD Bauteilen auf der Tastaturplatine.

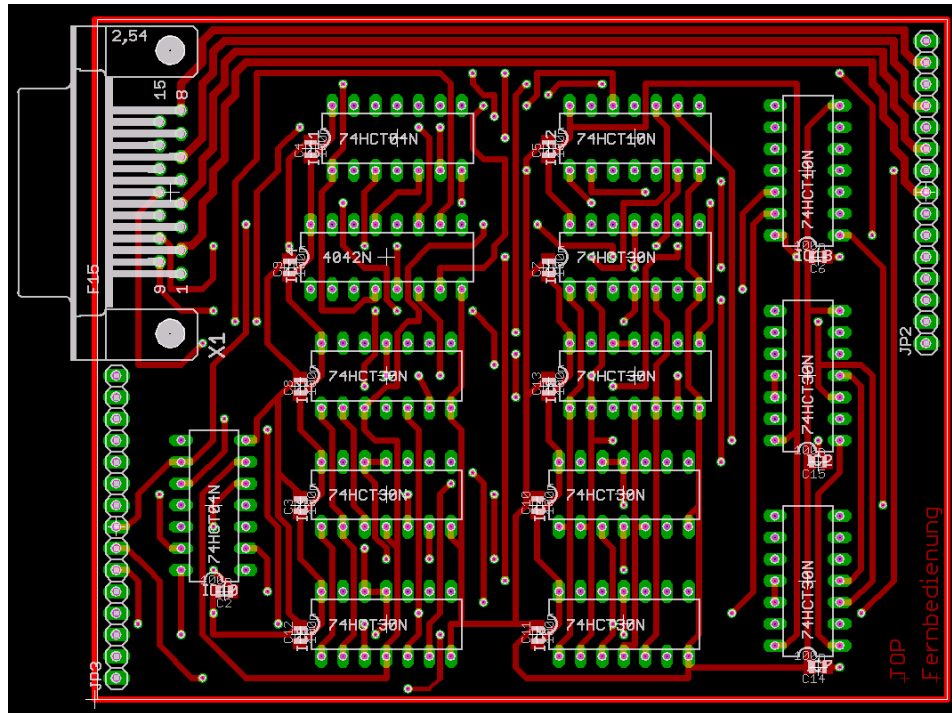


Abbildung 9.15: Platinenlayout der Wahlschaltung Oberseite

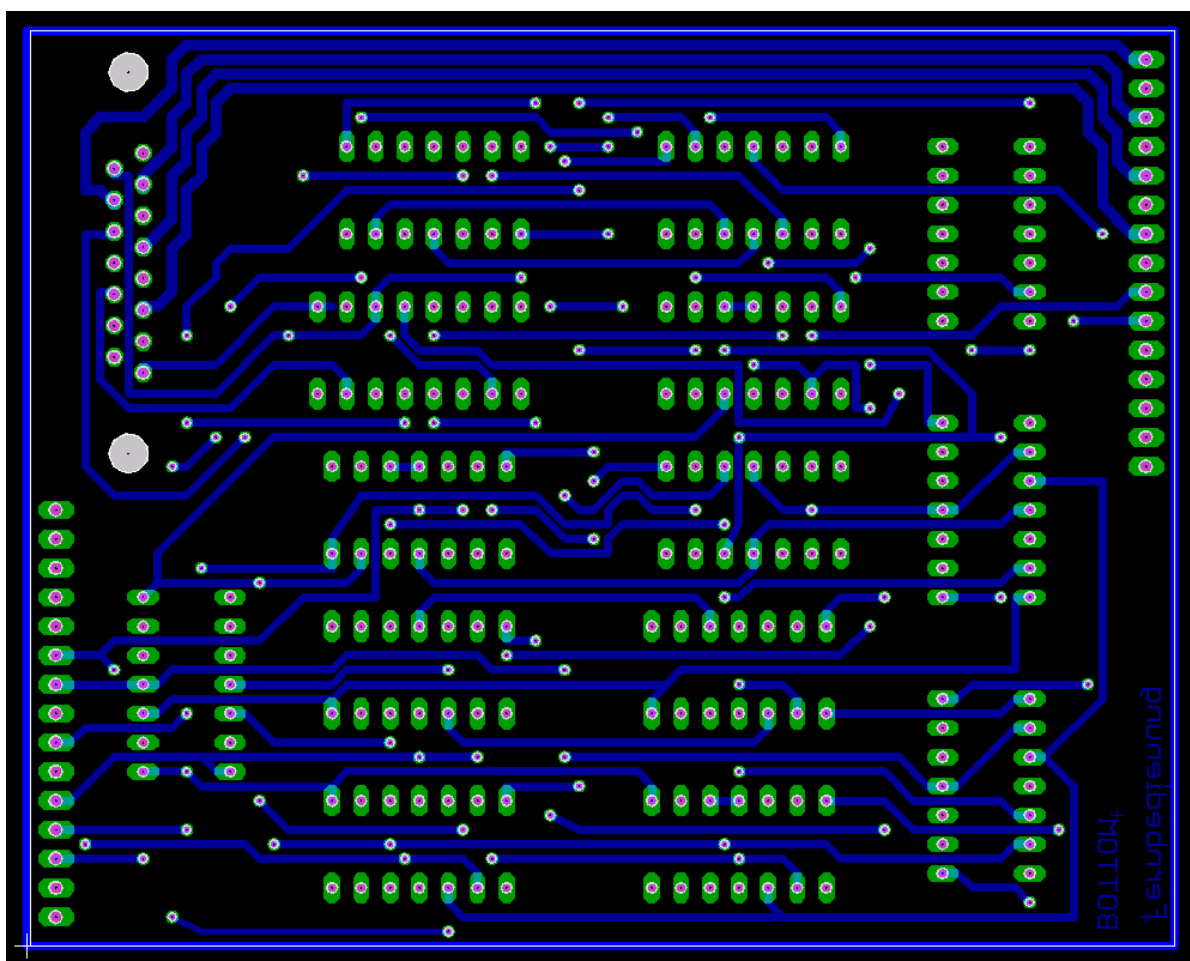


Abbildung 9.16: Platinenlayout der Wahlschaltung Unterseite

Die Tastaturschaltung besteht aus 16 Tasten. 6 Tasten bedienen die Wahlschaltung, welche ein binäres Signal an die Logik über drei Leitungen sendet. 10 Tasten bilden die Funktionstasten, die im folgenden aufgeführt sind.

1. Slave
2. Manuell
3. On/Off
4. Sensor
5. Wom
6. Clap
7. Dimmer+
8. Dimmer-
9. Timer
10. Timer+

Die Signale werden an die Logik gesendet, und zwar 5V so lange man eine Taste betätigt. Wird eine Taste nicht betätigt bekommt die Logik ein 0V Signal. Dies wurde mit einer Transistorschaltung realisiert. Diese wird auch Plus-Gnd-Schalter genannt. Abbildung 8 zeigt eine Prinzipschaltung zur Verdeutlichung.

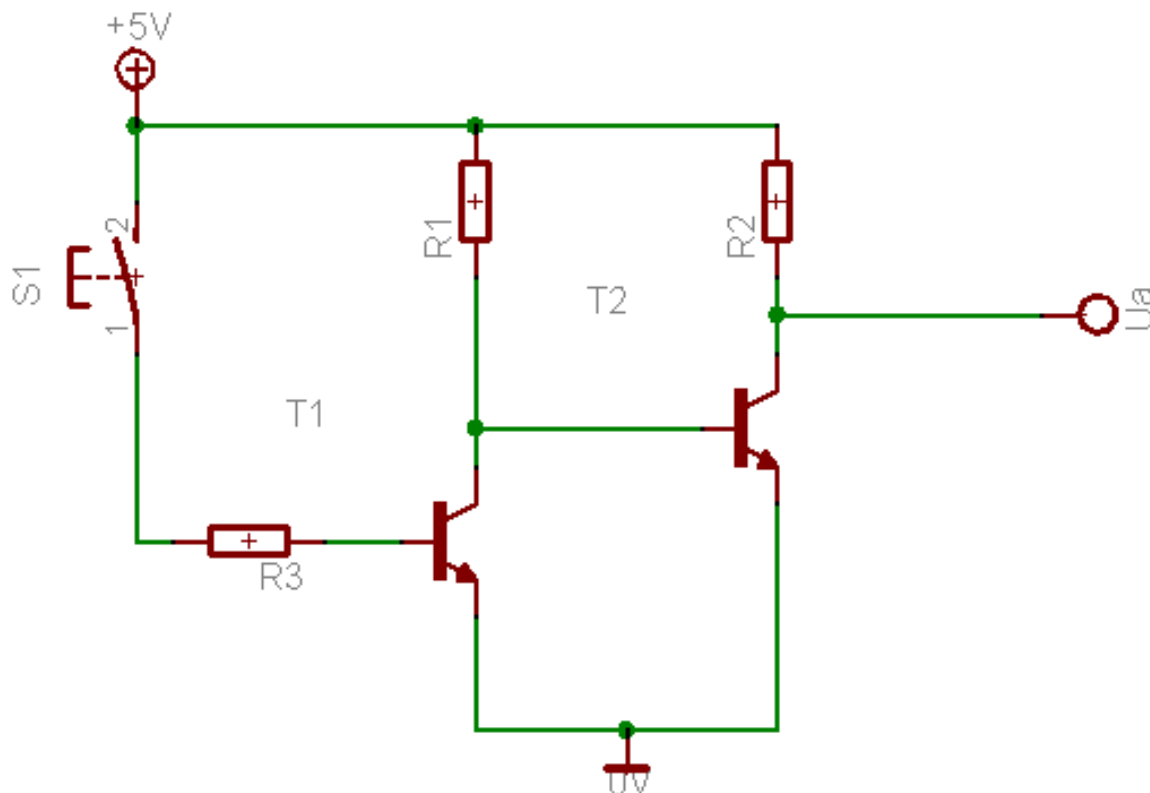


Abbildung 9.17: Prinzipschaltung der Tastersignale

Diese Prinzipschaltung wurde für jede Taste realisiert, was im folgendem Schaltplan zu sehen ist. Die Signale werden über Stiftleisten auf das Board der Wahlschaltung geleitet. Von dort gehen die Signale auf den SubD-Stecker.

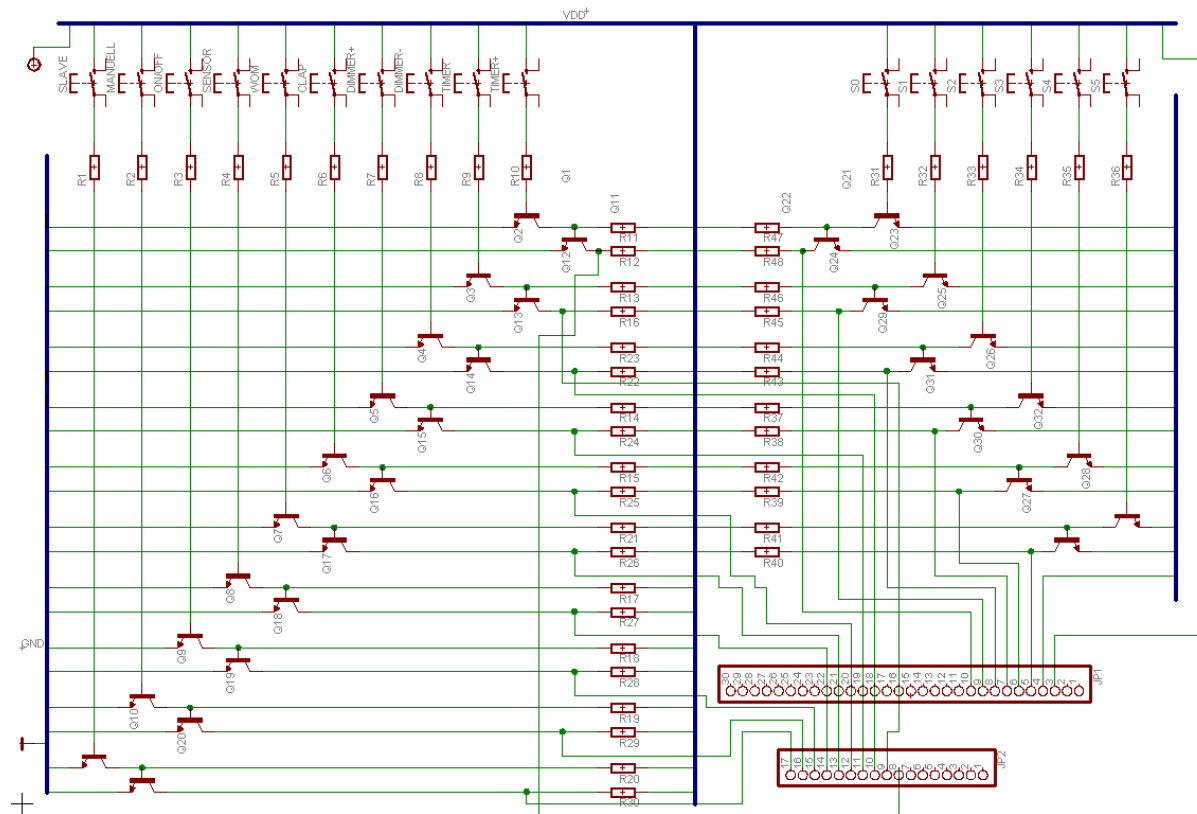


Abbildung 9.18: Schematic Tastaturplatine

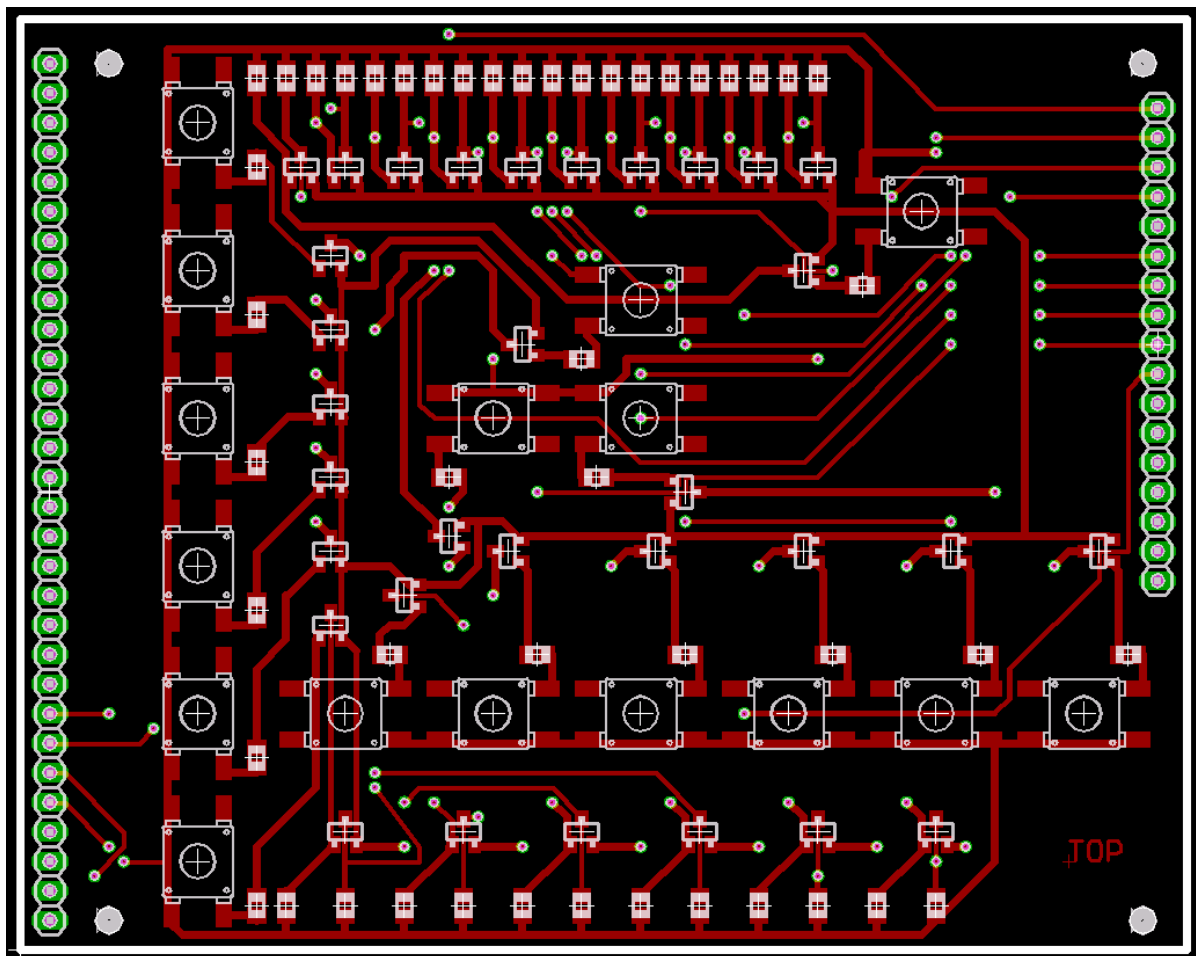


Abbildung 9.19: Boardoberseite Tastaturplatine

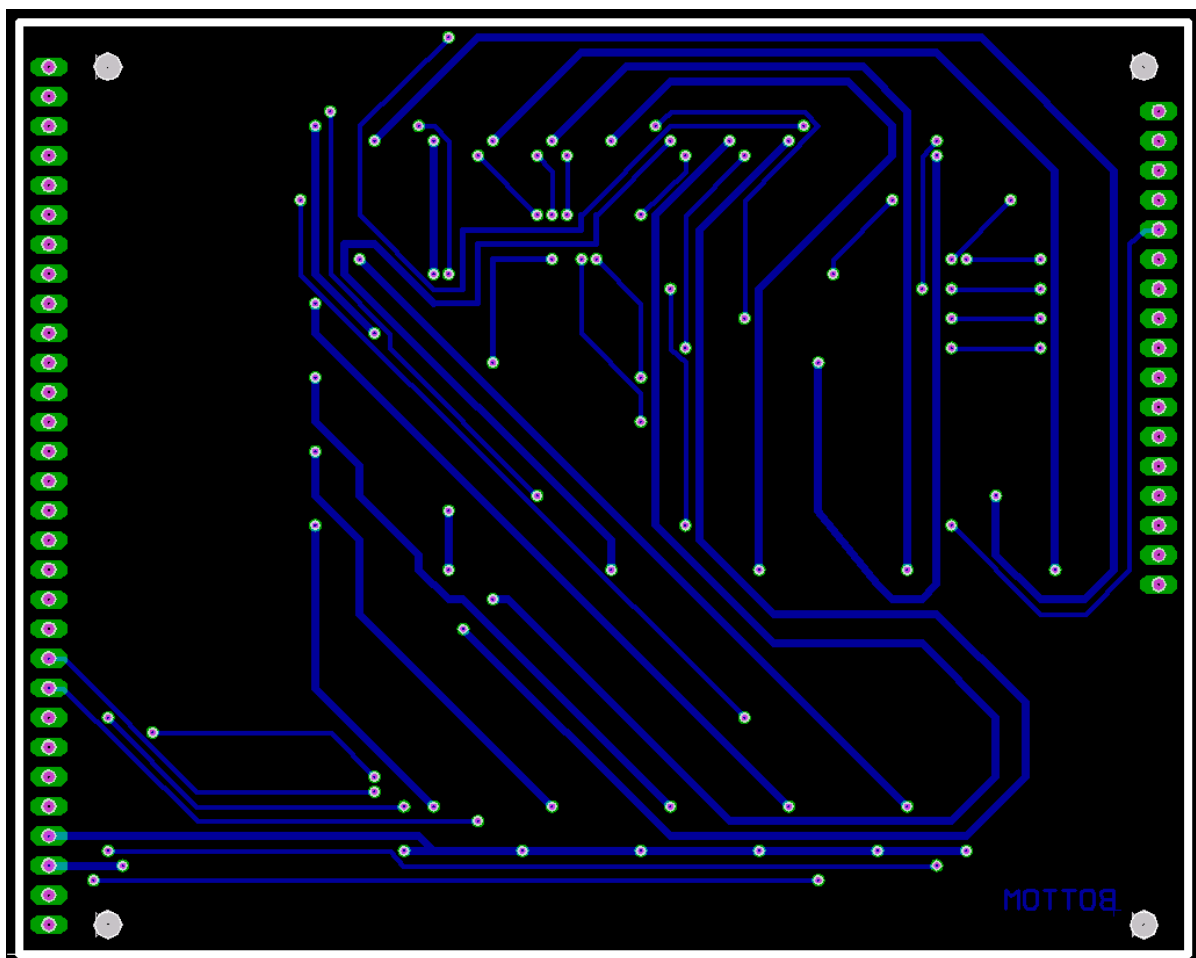


Abbildung 9.20: Boardunterseite Tastaturplatine

Die Versorgungsspannung von 5V bezieht die Fernbedienung über das Verbindungskabel. über dieses Kabel laufen dann auch alle Signalleitungen. Sie werden auf das Verbindungsboard geleitet, von wo aus sie an den Bus angeschlossen sind. über diesen Bus gelangen die Signale zur Logik, wo sie weiter verarbeitet werden.

Part	Value	Device	Package	Sheet
D1		DUOLED5MM	DUOLED5MM	1
D3		DUOLED5MM	DUOLED5MM	1
D4		DUOLED5MM	DUOLED5MM	1
IC35	ULN2003AN	ULN2003AN	DIL16	1
LED4		LED5MM	LED5MM	1
LED5		LED5MM	LED5MM	1
PL4		10VS	10V	1
Q1	BC547	BC547	TO92	1
Q2	BC547	BC547	TO92	1
Q3	BC547	BC547	TO92	1
Q4	BC547	BC547	TO92	1
Q5	BC547	BC547	TO92	1
Q6	BC547	BC547	TO92	1
Q7	BC547	BC547	TO92	1
Q8	BC547	BC547	TO92	1
R30	33k	R-EU-R1206	R1206	1
R31	10k	R-EU-R1206	R1206	1
R32	33k	R-EU-R1206	R1206	1
R33	10k	R-EU-R1206	R1206	1
R34	33k	R-EU-R1206	R1206	1
R35	10k	R-EU-R1206	R1206	1
R36	150	R-EU-R1206	R1206	1
R37	140	R-EU-R1206	R1206	1
R38	150	R-EU-R1206	R1206	1
R39	140	R-EU-R1206	R1206	1
R40	150	R-EU-R1206	R1206	1
R41	140	R-EU-R1206	R1206	1
R42	150	R-EU-R1206	R1206	1
R43	140	R-EU-R1206	R1206	1
R44	300	R-EU-R1206	R1206	1
R45	300	R-EU-R1206	R1206	1
R46	33k	R-EU-R1206	R1206	1
R47	10k	R-EU-R1206	R1206	1
S3		10-XX	B3F-10XX	1

Tabelle 9.2: Exported from leds.sch

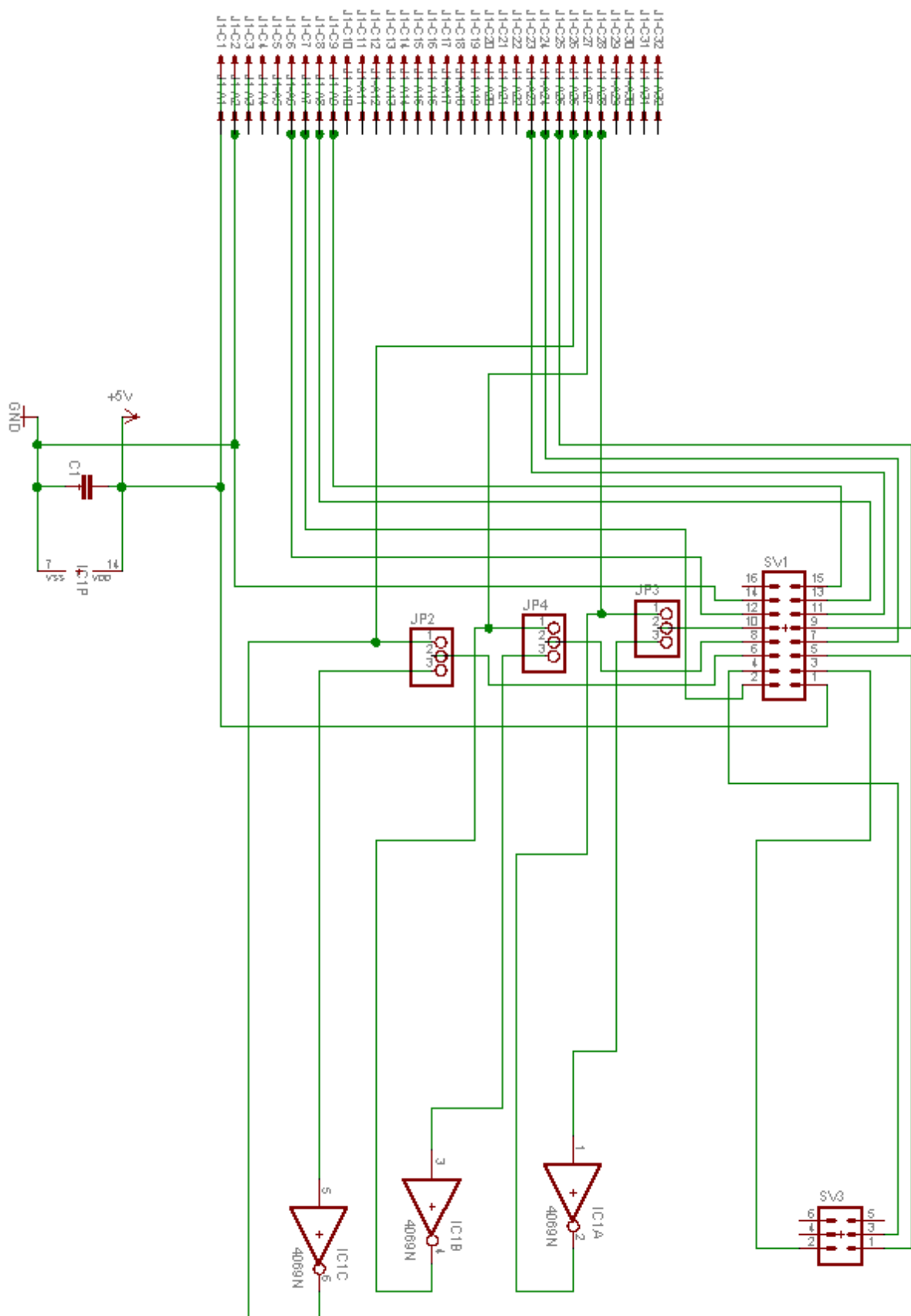


Abbildung 9.21: Schaltung Verbindungsboard

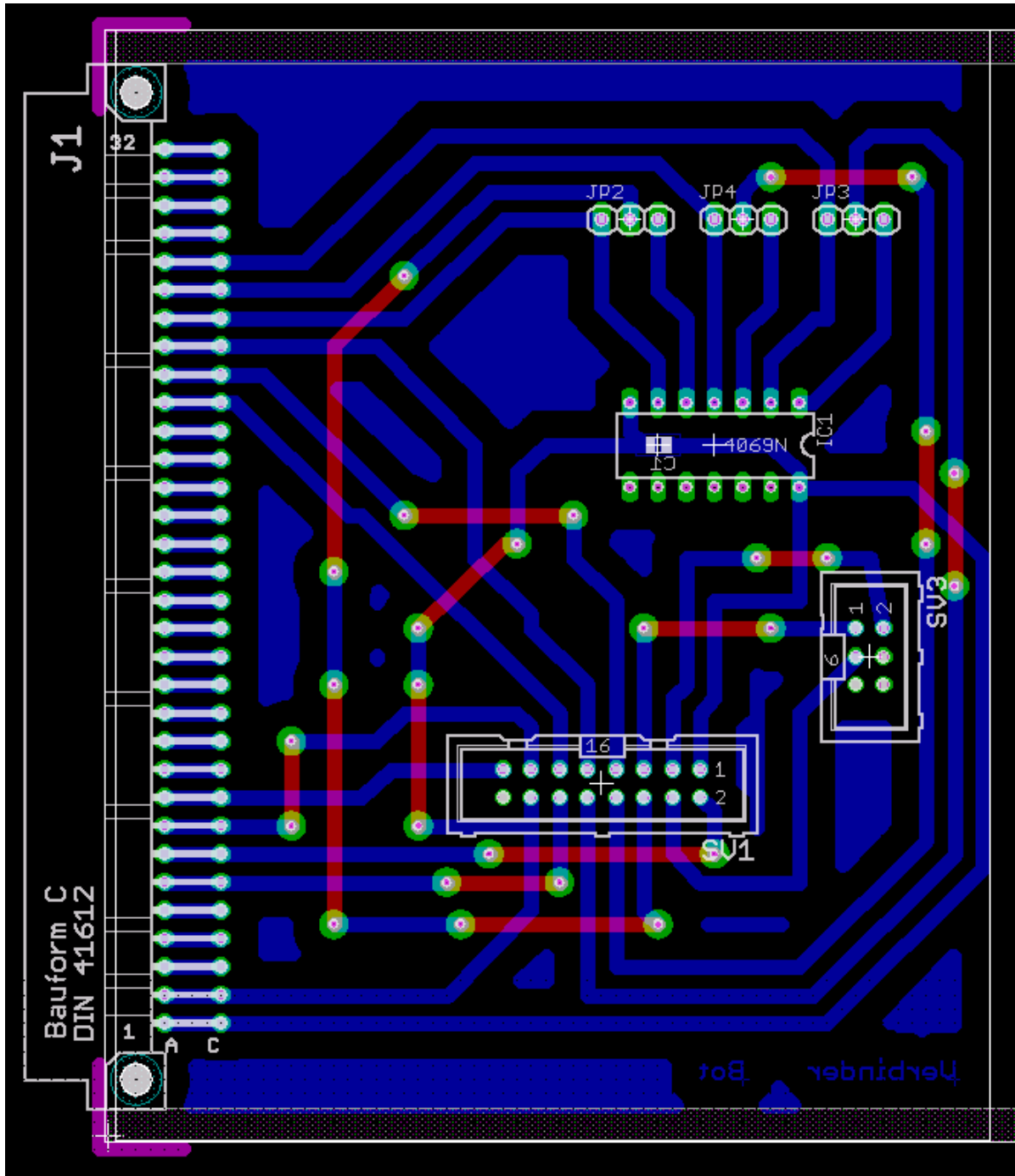


Abbildung 9.22: Boardunterseite Tastaturplatine

Part	Value	Device	Package	Sheet
JP2		PINHD-1X5	1X05	1
JP3		PINHD-1X5	1X05	1
JP4		PINHD-1X5	1X05	1
JP5		PINHD-1X5	1X05	1
PL3		16VS	16V	1
R4		R-EU-M1206	M1206	1
R5		R-EU-M1206	M1206	1
R6		R-EU-M1206	M1206	1
R7		R-EU-M1206	M1206	1
R8		R-EU-M1206	M1206	1
R9		R-EU-M1206	M1206	1
R10		R-EU-M1206	M1206	1
R11		R-EU-M1206	M1206	1
R12		R-EU-M1206	M1206	1
R13		R-EU-M1206	M1206	1
R14		R-EU-M1206	M1206	1
R15		R-EU-M1206	M1206	1
R16		R-EU-M1206	M1206	1
R17		R-EU-M1206	M1206	1
R48		R-EU-M1206	M1206	1

Tabelle 9.3: Exported from display.sch

Part	Value	Device	Package	Sheet
C22-C38	100nF	C-EUC0805	C0805	2*16
IC1	4070N	4070N	DIL14	1
IC2	4508N	4508N	DIL24-6	1
IC3	4081N	4081N	DIL14	1
IC4	4075N	4075N	DIL14	1
IC5	4069N	4069N	DIL14	1
IC6	4051N	4051N	DIL16	1
IC7	4051N	4051N	DIL16	1
IC8	4027N	4027N	DIL16	1
IC9	4072N	4072N	DIL14	1
IC10	4043N	4043N	DIL16	1
IC11	4081N	4081N	DIL14	1
IC12	4072N	4072N	DIL14	1
IC13	4072N	4072N	DIL14	1
IC14	4027N	4027N	DIL16	1
IC36	4072N	4072N	DIL14	1
IC37	4081N	4081N	DIL14	1
J1		VG64S	VG64	1
JP1		JP2E	JP2	1
PL1		10VS	10V	1
S1		DIP03YL	DIP03YL	1
TP1	TPPAD1-13	TPPAD1-13	P1-13	1
TP2	TPPAD1-13	TPPAD1-13	P1-13	1
TP3	TPPAD1-13	TPPAD1-13	P1-13	1
TP4	TPB1,27	TPB1,27	B1,27	1
TP5	TPB1,27	TPB1,27	B1,27	1
TP6	TPB1,27	TPB1,27	B1,27	1
TP7	TPPAD1-13	TPPAD1-13	P1-13	1
TP8	TPB1,27	TPB1,27	B1,27	1
TP9	TPPAD1-13	TPPAD1-13	P1-13	1
TP10	TPPAD1-13	TPPAD1-13	P1-13	1
TP11	TPB1,27	TPB1,27	B1,27	1
TP12-TP24	TPPAD1-13	TPPAD1-13	P1-13	1*13

Tabelle 9.4: Exported from kanalplatine.sch

Part	Value	Device	Package	Sheet
C1	100n	C-EUC0805	C0805	1
D1		DUOLED5MM	DUOLED5MM	1
D2		DUOLED5MM	DUOLED5MM	1
D3		DUOLED5MM	DUOLED5MM	1
D4		DUOLED5MM	DUOLED5MM	1
IC1	4069N	4069N	DIL14	1
IC35	ULN2003AN	ULN2003AN	DIL16	1
LED4		LED5MM	LED5MM	1
LED5		LED5MM	LED5MM	1
PL4		10VS	10V	1
Q1	BC547	BC547	TO92	1
Q2	BC547	BC547	TO92	1
Q3	BC547	BC547	TO92	1
Q4	BC547	BC547	TO92	1
Q5	BC547	BC547	TO92	1
Q6	BC547	BC547	TO92	1
Q7	BC547	BC547	TO92	1
Q8	BC547	BC547	TO92	1
R30- R35	10k	R-EU-R1206	R1206	1*6
R36-R43	150	R-EU-R1206	R1206	1*8
R44	300	R-EU-R1206	R1206	1
R45	300	R-EU-R1206	R1206	1
R46	10k	R-EU-R1206	R1206	1
R47	10k	R-EU-R1206	R1206	1
S3		10-XX	B3F-10XX	1

Tabelle 9.5: Exported from leds v2.sch

Part	Value	Device	Package	Sheet
C1-C3	100nF	C-EU025-025X050	C025-025X050	6
IC1-IC2	4027N	4027N	DIL16	3*2
IC3	4071N	4071N	DIL14	3
IC4	4081N	4081N	DIL14	4
IC5-IC6	4027N	4027N	DIL16	4*2
IC7	4013N	4013N	DIL14	4
IC8	4081N	4081N	DIL14	3
IC9	4077N	4077N	DIL14	2
IC10	4027N	4027N	DIL16	3
IC11	4073N	4073N	DIL14	3
IC12	4071N	4071N	DIL14	3
IC13	4082N	4082N	DIL14	2
IC14	4072N	4072N	DIL14	3
IC15	4068N	4068N	DIL14	1
IC16-IC17	4081N	4081N	DIL14	3*2
IC18	4174N	4174N	DIL16	2
IC19	4175N	4175N	DIL16	2
IC21	4043N	4043N	DIL16	1
IC22	4043N	4043N	DIL16	1
IC23	4043N	4043N	DIL16	1
IC24	4043N	4043N	DIL16	1
IC29	4027N	4027N	DIL16	1
IC30	4027N	4027N	DIL16	1
IC31	4027N	4027N	DIL16	1
IC32	4027N	4027N	DIL16	1
IC34	4078N	4078N	DIL14	1
IC35	4078N	4078N	DIL14	1
IC37	4001N	4001N	DIL14	1
IC38	4001N	4001N	DIL14	1
IC39	4075N	4075N	DIL14	1
IC40	4075N	4075N	DIL14	1
IC41	4075N	4075N	DIL14	1
J1		VG64S	VG64	4
JP1		JP2E	JP2	3
LED1		LED5MM	LED5MM	3
LED2		LED5MM	LED5MM	3
LED3		LED5MM	LED5MM	3
LED4		LED5MM	LED5MM	3
LED5		LED5MM	LED5MM	3
R17-R48		R-EU-0207/10	0207/10	32
S1		DIP03YL	DIP03YL	2
S9-S24	9077-1	9077-1	9077-1	1*16

Tabelle 9.6: Exported from logik v3.sch

Part	Value	Device	Package	Sheet
C1-C2	100nF	C-EUC0805	C0805	2*2
C3-C9	100nF	C-EUC0805	C0805	3*7
C10-C11	100nF	C-EUC0805	C0805	4*2
C12-C16	100nF	C-EUC0805	C0805	5*5
C17-C21	100u	CPOL-EUSMCD	SMC _D	6*4
C22-C38	100nF	C-EUC0805	C0805	7*17
C39	100uF	CPOL-EUSMCD	SMC _D	6
D1-D4		DUOLED5MM	DUOLED5MM	8*4
J1		VG64S	VG64	1
J2		VG64S	VG64	2
JP1		JP2E	JP2	1
JP2-JP5		PINH-1X5	1X05	3*4
LED1		LEDCHIPLED-1206	CHIPLED-1206	2
LED2-LED3		LEDCHIPLED-1206	CHIPLED-1206	6*2
LED4-LED5		LED5MM	LED5MM	8*2

Tabelle 9.7: Exported from logik v4(1).sch

IC1	4070N	4070N	DIL14	1
IC2	4508N	4508N	DIL24-6	1
IC3	4081N	4081N	DIL14	1
IC4	4075N	4075N	DIL14	1
IC5	4069N	4069N	DIL14	1
IC6-IC7	4051N	4051N	DIL16	1*2
IC8	4027N	4027N	DIL16	1
IC9	4072N	4072N	DIL14	1
IC10	4043N	4043N	DIL16	1
IC11	4081N	4081N	DIL14	1
IC12-IC13	4072N	4072N	DIL14	1*2
IC14	4027N	4027N	DIL16	1
IC15	4027N	4027N	DIL16	2
IC16	4081N	4081N	DIL14	2
IC17	MAX6344	MAX6344	SOT23-6L	2
IC18	4002N	4002N	DIL14	3
IC19	4069N	4069N	DIL14	3
IC20	4511N	4511N	DIL16	3
IC21	4510N	4510N	DIL16	3
IC22	4081N	4081N	DIL14	3
IC23	4511N	4511N	DIL16	3
IC24	4510N	4510N	DIL16	3
IC25	4082N	4082N	DIL14	4
IC26	4510N	4510N	DIL16	4
IC27	4510N	4510N	DIL16	5
IC28	4071N	4071N	DIL14	5
IC29	4514N	4514N	DIL24-6	5
IC30	4082N	4082N	DIL14	5
IC31	4069N	4069N	DIL14	5
IC32	NE555N	NE555N	DIL08	6
IC33	DAC0808N	DAC0808N	DIL16	6
IC34	NE555N	NE555N	DIL08	6
IC35	ULN2003AN	ULN2003AN	DIL16	8
IC36	4072N	4072N	DIL14	1
IC37	4081N	4081N	DIL14	1

Tabelle 9.8: Exported from logik v4(2).sch

R1	37.5k	R-EU-M1206	M1206	2
R2	12.5k	R-EU-M1206	M1206	2
R3-R17		R-EU-M1206	M1206	2*15
R18	820	R-EU-M1206	M1206	6
R19	2.2k	R-EU-M1206	M1206	6
R20-R21	10k	R-EU-M1206	M1206	6*2
R22	150	R-EU-M1206	M1206	6
R23-R24	820	R-EU-M1206	M1206	6*2
R25	390k	R-EU-M1206	M1206	6
R26	100k	R-EU-M1206	M1206	6
R27	270	R-EU-M1206	M1206	6
R28	10k	R-EU-M1206	M1206	6
R29	150	R-EU-M1206	M1206	6
R30	33k	R-EU-R1206	R1206	8
R31	10k	R-EU-R1206	R1206	8
R32	33k	R-EU-R1206	R1206	8
R33	10k	R-EU-R1206	R1206	8
R34	33k	R-EU-R1206	R1206	8
R35	10k	R-EU-R1206	R1206	8
R36	150	R-EU-R1206	R1206	8
R37	130	R-EU-R1206	R1206	8
R38	150	R-EU-R1206	R1206	8
R39	130	R-EU-R1206	R1206	8
R40	150	R-EU-R1206	R1206	8
R41	130	R-EU-R1206	R1206	8
R42	150	R-EU-R1206	R1206	8
R43	130	R-EU-R1206	R1206	8
R44-R45	145	R-EU-R1206	R1206	8*2
R46	33k	R-EU-R1206	R1206	8
R47	10k	R-EU-R1206	R1206	8
R48		R-EU-M1206	M1206	3
R49	15k	R-EU-M1206	M1206	6

Tabelle 9.9: Exported from logik v4(3).sch

PL1		10VS	10V	1
PL2-PL3		16VS	16V	3*2
PL4		10VS	10V	8
Q1-Q8	BC547	BC547	TO92	8*8
S1		DIP03YL	DIP03YL	1
S2		10-XX	B3F-10XX	2
S3		10-XX	B3F-10XX	8
TP1-TP3	TPPAD1-13	TPPAD1-13	P1-13	1*3
TP4-TP6	TPB1,27	TPB1,27	B1,27	1*3
TP7	TPPAD1-13	TPPAD1-13	P1-13	1
TP8	TPB1,27	TPB1,27	B1,27	1
TP9-TP10	TPPAD1-13	TPPAD1-13	P1-13	1*2
TP11	TPB1,27	TPB1,27	B1,27	1
TP12-TP24	TPPAD1-13	TPPAD1-13	P1-13	1*12

Tabelle 9.10: Exported from logik v4(4).sch

Part	Value	Device	Package	Sheet
C1-C2	100nF	C-EUC0805	C0805	1*2
C3-C9	100nF	C-EUC0805	C0805	2*7
C10-C11	100nF	C-EUC0805	C0805	3*2
C12-C16	100nF	C-EUC0805	C0805	4*5
C17	100u	CPOL-EUSMCD	SMC _D	5
C18-C19	100n	C-EUC0805	C0805	5*2
C20	100nF	C-EUC1206	C1206	4
C21	100n	C-EUC0805	C0805	5
C39	100u	CPOL-EUSMCD	SMC-D	5
IC15	4027N	4027N	DIL16	1
IC16	4081N	4081N	DIL14	1
IC17	MAX6344	MAX6344	SOT23-6L	1
IC18	4002N	4002N	DIL14	2
IC19	4069N	4069N	DIL14	2
IC20	4511N	4511N	DIL16	2
IC21,IC24	4510N	4510N	DIL16	2*2
IC22	4081N	4081N	DIL14	2
IC23	4511N	4511N	DIL16	2
IC25	4082N	4082N	DIL14	3
IC26	4510N	4510N	DIL16	3
IC27	4510N	4510N	DIL16	4
IC28	4071N	4071N	DIL14	2
IC29	4514N	4514N	DIL24-6	4
IC30	4082N	4082N	DIL14	4
IC31	4069N	4069N	DIL14	4
IC32,IC34	NE555N	NE555N	DIL08	5*2
IC33	DAC0808N	DAC0808N	DIL16	5

Tabelle 9.11: Exported from mainboard.sch

J2		VG64S	VG64	1
LED1		LEDCHIPLED-1206	CHIPLED-1206	1
LED2-LED3		LEDCHIPLED-1206	CHIPLED-1206	5*2
PL2		16VS	16V	2
R1	33k	R-EU-M1206	M1206	1
R2	15k	R-EU-M1206	M1206	1
R3		R-EU-M1206	M1206	1
R4	5.6k	R-EU-R1206	R1206	4
R5	10k	R-EU-R1206	R1206	4
R6	820	R-EU-R1206	R1206	5
R18	33	R-EU-M1206	M1206	5
R19	2.2k	R-EU-M1206	M1206	5
R20-R21	10k	R-EU-M1206	M1206	5*2
R22	150	R-EU-M1206	M1206	5
R23	1k	R-EU-M1206	M1206	5
R24	820	R-EU-M1206	M1206	5
R25	390k	R-EU-M1206	M1206	5
R26	100k	R-EU-M1206	M1206	5
R27	270	R-EU-M1206	M1206	5
R28	10k	R-EU-M1206	M1206	5
R29	150	R-EU-M1206	M1206	5
R49	15k	R-EU-M1206	M1206	5
S2		10-XX	B3F-10XX	1
SV1		ML6E	ML6	1

Tabelle 9.12: Exported from mainboard1.sch

Part	Value	Device	Package	Sheet
C2-C15	100n	C-EUC0805K	C0805K	1*14
IC1-IC9	74HCT30N	74HCT30N	DIL14	1*9
IC10	74HCT04N	74HCT04N	DIL14	1
IC11	74HCT04N	74HCT04N	DIL14	1
IC12	74HCT10N	74HCT10N	DIL14	1
IC13	74HCT10N	74HCT10N	DIL14	1
IC14	4042N	4042N	DIL16	1
JP2		PINHD-1X15	1X15	1
JP3		PINHD-1X15	1X15	1
X1	F15H	F15H	1	

Tabelle 9.13: Exported from platine.sch

Part	Value	Device	Package	Sheet
CLAP	FSM4JSMA-SMD	FSM4JSMA-SMD	FSM4JSMA-SMD	1
DIMMER+	FSM4JSMA-SMD	FSM4JSMA-SMD	FSM4JSMA-SMD	1
DIMMER-	FSM4JSMA-SMD	FSM4JSMA-SMD	FSM4JSMA-SMD	1
JP1		PINHD-1X30	1X30	1
JP2		PINHD-1X17	1X17	1
MANUELL	FSM4JSMA-SMD	FSM4JSMA-SMD	FSM4JSMA-SMD	1
ON/OFF	FSM4JSMA-SMD	FSM4JSMA-SMD	FSM4JSMA-SMD	1
Q1-Q32	BC847ASMD	BC847ASMD	SOT23	1*32
R1-R10	560	R-EU-R0805	R0805	1*10
R11-R48		R-EU-R0805	R0805	1*38
S0	FSM4JSMA-SMD	FSM4JSMA-SMD	FSM4JSMA-SMD	1
S1	FSM4JSMA-SMD	FSM4JSMA-SMD	FSM4JSMA-SMD	1
S2	FSM4JSMA-SMD	FSM4JSMA-SMD	FSM4JSMA-SMD	1
S3	FSM4JSMA-SMD	FSM4JSMA-SMD	FSM4JSMA-SMD	1
S4	FSM4JSMA-SMD	FSM4JSMA-SMD	FSM4JSMA-SMD	1
S5	FSM4JSMA-SMD	FSM4JSMA-SMD	FSM4JSMA-SMD	1
SENSOR	FSM4JSMA-SMD	FSM4JSMA-SMD	FSM4JSMA-SMD	1
SLAVE	FSM4JSMA-SMD	FSM4JSMA-SMD	FSM4JSMA-SMD	1
TIMER	FSM4JSMA-SMD	FSM4JSMA-SMD	FSM4JSMA-SMD	1
TIMER+	FSM4JSMA-SMD	FSM4JSMA-SMD	FSM4JSMA-SMD	1
WOM	FSM4JSMA-SMD	FSM4JSMA-SMD	FSM4JSMA-SMD	1

Tabelle 9.14: Exported from Tastaturplatine.sch

Part	Value	Device	Package	Sheet
C1		C-EUC0805	C0805	1
IC1	4069N	4069N	DIL14	1
J1		VG64SB	VG64B	1
JP2		PINHD-1X3	1X03	1
JP3		PINHD-1X3	1X03	1
JP4		PINHD-1X3	1X03	1
SV1		ML16	ML16	1
SV3		ML6	ML6	1

Tabelle 9.15: Exported from verbinder.sch

9.2 GRUPPE 2: WAKEONMUSIC UND CLAPPER

WoM Nach dem musikhören vergisst man gerne mal die Stereoanlage aus zu schalten, bzw. es ist u.U. lästig, sie überhaupt anzumachen, da sie oft nicht in der Nähe des Abspielgerätes steht(z.B. beim Computer). Die Idee war also, dafür zu sorgen, dass, beim Anliegen eines Musikssignals, die Steckdose, an der die Anlage angeschlossen ist angeht und nach einer (einstellbaren) Zeit wieder von alleine ausgeht, das Abspielgerät keine Musik mehr liefert.

Klatschschalter Das Prinzip dürfte hinreichend bekannt sein: Man liegt im Bett und liest noch und will eigentlich nicht nochmal aufstehen um das Licht aus zu machen. Der Klatschschalter realisiert nun, dass beim dreimaligen Klatschen innerhalb einer bestimmten Zeit die Steckdose mit dem Licht ausgeht (und vice versa).

9.2.1 Teilgruppe 1: WakeOnMusic

SIGNALVERARBEITUNG

Konzept & Realisierung

Anfangskonzept Die Idee am Anfang war, die Funktion durch eine Art *Noise-Gate* zu realisieren, also eine Schaltung, die ab einem bestimmten Signal(Audio)-Pegel dieses durchschaltet um dann unsere Logik anzusteuern, wie man in Abbildung 9.23 gut erkennen kann. Allerdings erwies sich diese Idee sehr früh als unvollständig, da es auf diesem Wege zu sehr instabilem Output gekommen wäre, der mit der Musik mitschwangt. Das wäre jedoch eine relativ instabile Realisierung gewesen, da die Logik natürlich möglichst konstant mit einem einheitlichen Signal gespeist werden sollte um Erratisches zu vermeiden. Eine Stabilisierung ließ sich letztendlich relativ einfach durch einen Komparator am Ausgang gestalten.

Hier das ursprüngliche Konzept als Flussdiagramm:

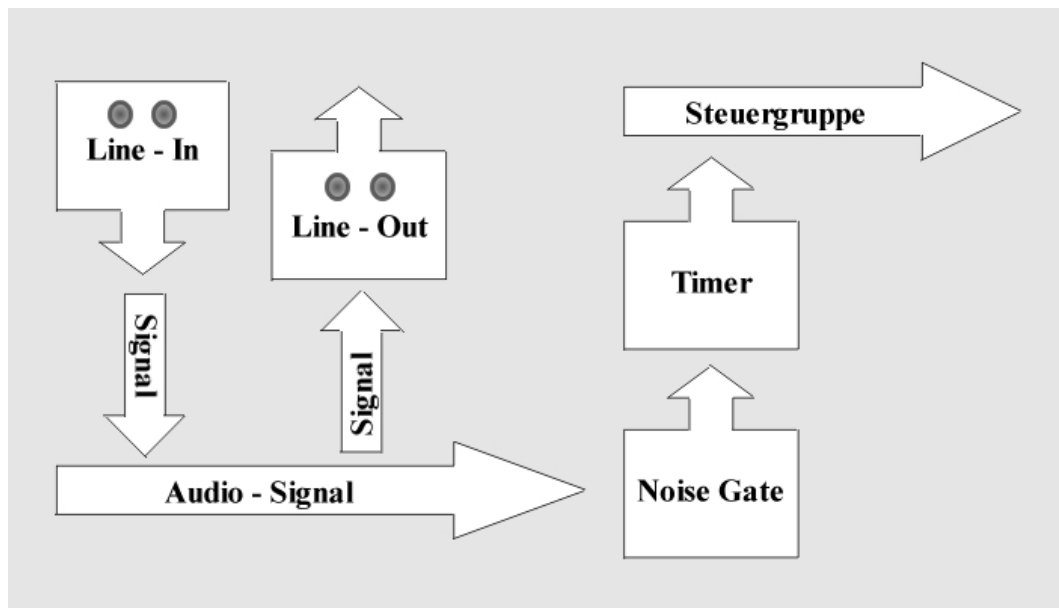


Abbildung 9.23: Ursprüngliches WoM-Konzept

Realisierung des Konzepts Da wir als Input unverstärktes Audiomaterial bekommen, im besten Falle Line-Pegel, was einer effektiven Signalspannung von etwa 300mV entspricht, ist die erste Stufe eine OpAmp-Verstärker-Schaltung, mit vorgeschaltetem RC-Tiefpass um etwaige ungewollte höher frequente Störsignale nicht mit zu verstärken. Da das Audio-Signal jedoch durchgeschliffen wird, also einfach parallel zur Schaltung liegt wurde der Tiefpass auf eine Grenzfrequenz von 30kHz eingestellt um das Audiosignal selbst für absolute High-End Ohren nicht zu verschlechtern, was natürlich eine eingeschränkte Filterleistung mit sich bringt. Bei dem verwendeten OpAmp handelt es sich um einen LM324, einen OpAmp mit 4 Verstärkerstufen, die getrennt genutzt werden können. Um anschließend an die Verstärkung gut mit dem Signal weiterarbeiten zu können folgt auf den Verstärker ein Gleichrichter mit anschließender Glättung um ein halbwegs konstantes Dauersignal zu erhalten. Da dieses allerdings vom Eingangspegel der Musik abhängt wurde ein Komparator eingebaut, der ab einer einstellbaren Referenzspannung ein konstantes Signal, von ca. 4.5V ausgibt.

Probleme

Probleme mit dem Komparator Ursprünglich sollte genauso wie für die Verstärkerstufe auch der LM324 als OpAmp für den Komparator-Teil genutzt werden. So hätte man einen zusätzlichen Eingang des LM324 verwenden können, hätte also weniger Bauteile verwendet. Allerdings hat sich nach einigen Problemen bei den Testaufbauten gezeigt, dass dieser nur sehr bedingt zum Betrieb als Komparator geeignet ist. Aufgrund dieser zickigen Wirklichkeit, der so gar nicht der heilen PSpice Simulationswelt entsprach, mussten wir umdisponieren und entschieden uns dann aufgrund guter Testergebnisse der Klatschgruppe für den wunderbar funktionierenden LM741. In der Testphase der Platine zeigten sich jedoch auch hier wieder Probleme, da der LM741 erstens sehr langsam ist und zweitens Probleme hat, wenn man mit der Referenzspannung nahe an die Betriebsspannungsgrenzen geht. Deswegen haben wir uns auf Anraten von Prof. Dr. Manfred Krumm den TLC271 besorgt und verbaut, der dann auch endlich zum Erfolg führte.

Das Massen-Problem Aufgrund des weiten Funktionsspektrum des Power-Towers ergab sich recht früh, dass es zwei unterschiedliche Massen geben wird. Nämlich den analogen (AGND) und den digitalen (DGND) Ground um den unsauberen DGND (Einstreuung hochfrequenter Signale durch die Rechtecksignale der Logik-Bauelemente, Fourier und so...) von den analogen Schaltungsteilen fernzuhalten. Allerdings stellte sich bei uns nun Frage der Massentrennung. Wir brauchten nämlich beide Grounds, diese Schaltung den AGND, die Logik Schaltung aber den DGND. Nach anfänglichen Unsicherheiten, inwieweit die Grounds hier getrennt werden müssten (galvanisch oder nicht) wurde uns später versichert, dass eine einfache Entkopplung genüge, was die Idee zum Einbau eines Optokopplers am Ausgang dieser Teilschaltung überflüssig machte.

Endgültige Schaltung

Finale Zusammenfassend ist der Signalweg der Folgende:

Das Audiosignal (von einer externen Cinch-Buchse) kommt am Eingang der Schaltung an, wobei die Audiomasse von den übrigen 0V-Massen getrennt gehalten wird. Nachdem das Signal den Tiefpass passiert hat wird es durch den LM324 ca. 33-fach verstärkt (Verhältnis des Gegenkopplungswiderstandes zum Einganswiderstand des OpAmps: $\frac{R_1 R_2}{33k\Omega/1k\Omega}$). Anschließend wird das Signal durch einen B80D Gleichrichter-Baustein gleichgerichtet (klingt logisch) und dann geglättet, um ein pulsierendes Signal zu vermeiden. Als letzte Stufe kommt das Signal (inzwischen also DC) in den Komparator, um dort mit der Referenzspannung verglichen zu werden. Diese Referenzspannung beträgt ca. 1.2 V und resultiert aus einem Spannungsteiler an der 5V Versorgungsspannung, die am Komparator anliegt. Aus dieser Referenzspannung resultiert ein Minimalpegel von ca. 80 - 100 mV, was unseren Vorstellungen aus vorherigen Simulationen entspricht. Idealerweise sollten beim überschreiten der Referenzspannung die komplette Betriebsspannung, also 5V, durchgeschaltet werden. Durch die ca. 0,5V hohe Sättigungsspannung werden aber nur ca. 4.5V ausgegeben, was allerdings keinen Einfluss auf die Funktionalität hat. Natürlich gibt es einen Bereich, in dem das Komparator-Signal nicht stetig ist, da die verbleibende Wellligkeit des gleichgerichteten Signals ausreicht, um die Referenzspannung laufend zu über- und zu unterschreiten. Dieser Bereich ist allerdings nur ca. 5mV groß, was zu verschmerzen ist. Außerdem ist durch die Logikschaltung selbst dieser Fall abgedeckt.

Hier der letztendlich funktionierende Testaufbau:

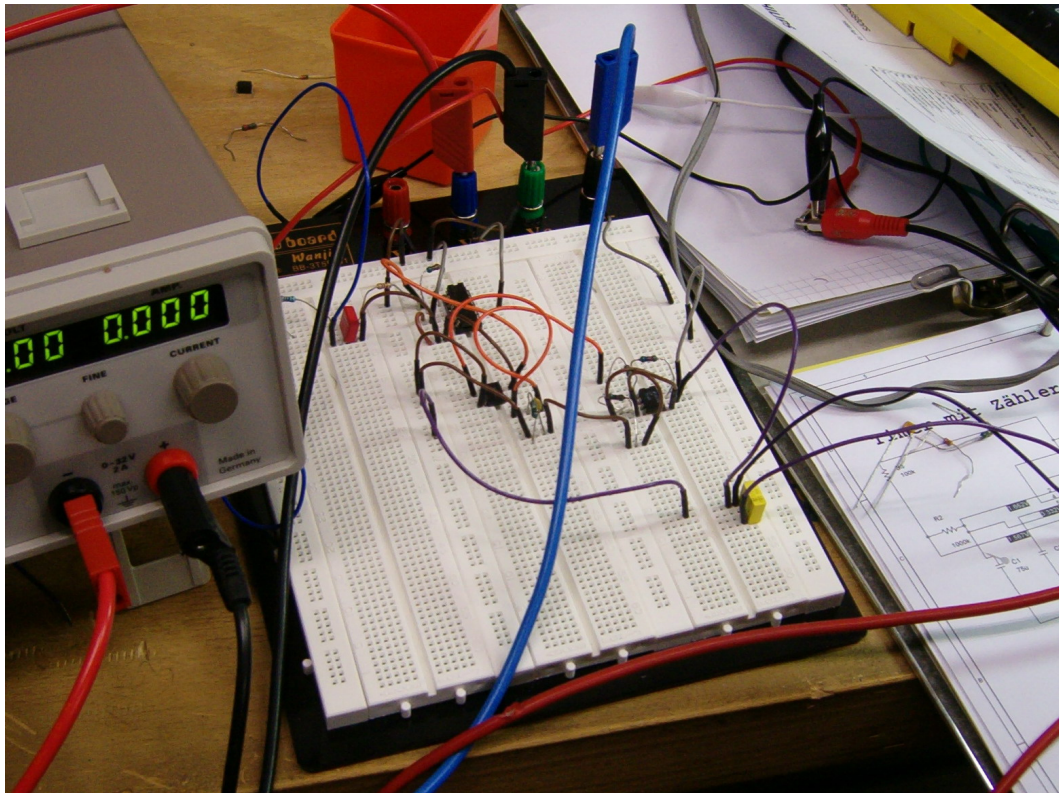


Abbildung 9.24: Testaufbau

Schaltpläne Es folgt nun der Schaltplan:

Die WoM-Schaltung sieht folgendermaßen aus (Eagle):

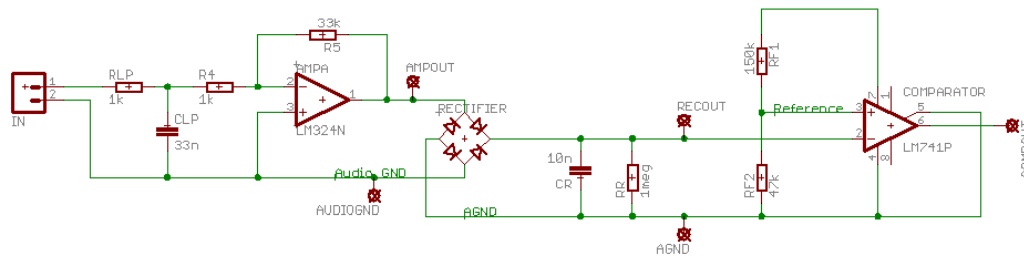


Abbildung 9.25: Die WoM-Schaltung

PSpice-Simulationen *Eingang: Grün — Referenzvergleich: Lila — Ausgang: Türkis*

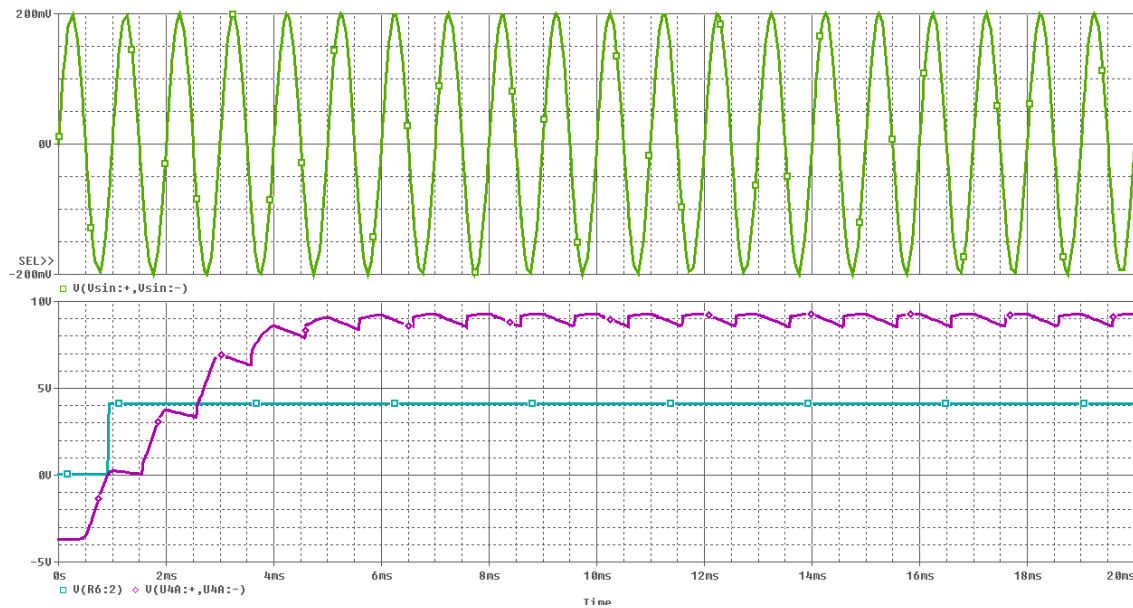


Abbildung 9.26: Der reagierende Komparator

Mit gedämpften Eingangssignal, um das Abschalten zu beobachten:

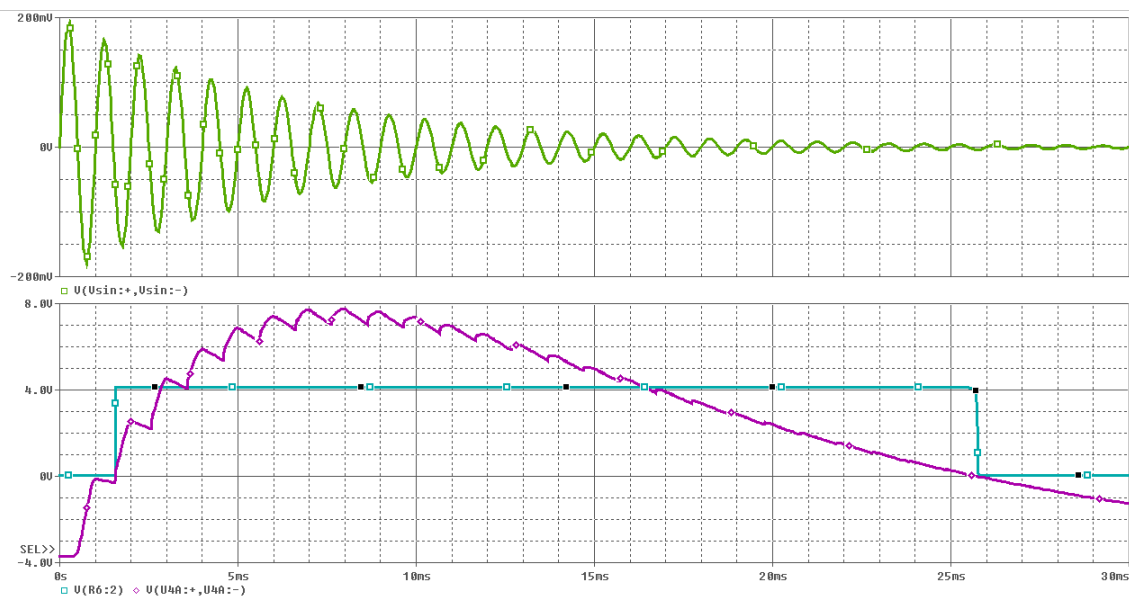


Abbildung 9.27: Der auch abschaltende Komparator

LOGIK DER WOM-GRUPPE

Konzept Das Grundkonzept für die Logik des WoM stand von Anfang an fest: Ein von der WoM-Erkennung abgegebenes Signal soll so ausgewertet werden, dass, wenn länger als 5 Min kein Signal vorhanden ist, ein Impuls an die Steuereinheit (Zentrale Logik Gruppe) abgegeben werden soll, um die Steckdose zu deaktivieren, bzw. bei einem wieder auftauchenden Signal wieder zu reaktivieren.

Realisierung des Konzepts Zentrales Bauelement dieses Konzepts ist der 555 CMOS Timer-Baustein. Mit Hilfe dieses Bausteins sollte sich ein Astabiler Multivibrator realisieren lassen, der, richtig dimensioniert, mehrere Minuten lange Perioden aufweist. Im Laufe des Testaufbaus kam dann die Idee, diese Dimensionierung des astabilen Multivibrators nicht konstant, sondern über ein Potentiometer variabel zu machen und somit der Steckdose mehr Flexibilität zu verleihen. Des weiteren wurden drei Frequenzteiler hinter den Taktgeber geschaltet, die die Frequenz des Multivibrators geachtelt haben. Somit ließ sich ein Timer realisieren, der erst nach einigen Minuten ein Signal ausgibt. Die Frequenzteiler wurden dabei zunächst in der Schaltung in P-Spice mit Hilfe der 4027er Flip-Flops der CMOS Bauteile realisiert, weil diese sehr zahlreich im Labor vorhanden waren.

Signal in Impuls wandeln Da die Steuereinheit ein Signalimpuls zum aktivieren bzw. deaktivieren der jeweiligen Steckdose braucht, mussten die Ausgänge des letzten Flip-Flops, welche jeweils dauerhaft ein Signal ausgeben, in Impulse umgewandelt werden. Dies wurde mit Hilfe eines Kondensators mit einem dahinter parallel zur Masse geschalteten Widerstand realisiert, welcher mit einem 4081er AND-Gatter, für die Dauer des Aufladens des Kondensators ein High-Signal von 5V liefert. Dies ist unser erwünschter Impuls. Nun wurden die von dem normalen und invertierten Ausgang des dritten J-K-Flip-Flops erzeugten Impulse über zwei Dioden auf eine Leitung gelegt, die die gewünschten Impulse an die Steuereinheit liefert.

Probleme

Probleme mit den Flip-Flops Die 4027er Flip-Flops erwiesen sich jedoch später beim Testaufbau als ungeeignet, und wurden durch die 74107er J-K-Flip-Flops mit invertiertem Clear-Eingang ausgetauscht. Außerdem sollte zunächst der Astabile Multivibrator ebenfalls über einen auf Masse geschalteten Transistor resetet werden, solange ein Signal von der WoM-Erkennung da ist. Dies erwies sich jedoch nach der Verknüpfung der beiden WoM Teilschaltungen als problematisch, da der Astabile Multivibrator aufgrund unsauberer Signale der WoM-Erkennung oftmals plötzliche Peeks aufwies, welche die früheren 4027er Flip-Flops durchschalten ließ. Da nun die 4027er durch die 74107er ersetzt wurden, war ein reseten des astabilen Multivibrators redundant geworden, weil die 74107er Flip-Flops während eines anliegenden Signals auf den Clear Eingang dauerhaft resetet werden und somit auf die Taktflanken des astabilen Multivibrators nicht ansprechen.

Probleme beim Ansteuern der ICs Beim Umwandeln des Signals in ein Impuls kam die Frage des richtigen Dimensionierens der RC-Glieder auf. Da bei CMOS Bausteinen ein Übergang von einem Zustand in den anderen maximal 5μ Sekunden betragen darf, haben wir unsere RC-Glieder gemäß der Formel $t = C \cdot R$ folgendermaßen dimensioniert: Die Widerstände haben einen Widerstand von $5k\Omega$ und die Kondensatoren eine Kapazität von $1nF$. Damit ergab sich jedoch ein erneutes Problem, da diese sehr kurzen Impulse auf dem Oszilloskop nicht wahrnehmbar waren. Bzw. das Digitaloszilloskop diese aufgrund ihrer kurzen Impulse so verkleinerte, dass sie wie ein einfaches Rauschen aussahen. Daher stellte sich die Frage, ob diese kurzen Impulse überhaupt die High Grenze erreichten. Dies wurde mit Hilfe eines J-K-Flipflops der CMOS Baureihe 4027 getestet, da diese sich gerade vom Testaufbau vorher (siehe Probleme mit den Flip-Flops) im Labor befanden. Der Steuerimpuls wurde also auf den Takt des Test-Flipflops gelegt. Die Tests haben dann ergeben, dass diese kurzen Impulse ausreichen.

Endgültige Schaltung

Finale Die endgültige Schaltung funktioniert also folgendermaßen: Das von der WoM-Erkennung gelieferte High-Signal von ca. 4.5V wird über den 4049er Inverter zur Masse invertiert, wodurch die invertierenden “Clear“ Eingänge der J-K-Flip-Flops ein High Signal bekommen und somit die Flip-Flops reseten. Diese reagieren somit nicht auf den dauerhaft schwingenden astabilen Multivibrator, der mit Hilfe eines 555er Timer-Bausteins realisiert wird, und über ein Potentiometer regelbar ist. Sobald nun kein Signal mehr von der WoM-Erkennung kommt, bzw. dieses sich im Low-Bereich befindet (z.B. bei einem Track-Übergang oder langsamen Song-Passagen), gibt der 4009er Invertierer ein High-Signal aus, welches über die invertierenden “Clear“ Eingänge der Flip-Flops diese aktivieren. Mit der ersten Schwingung des astabilen Multivibrators, welcher mit dem “Clock“ Eingang des ersten 74107er J-K-Flip-Flops verbunden ist wird dieser als Frequenzteiler tätig, und “toggled“ den Ausgang des ersten Flip-Flops. D.h., wenn dieser auf “Low“ war, geht er auf “High“ über und umgekehrt. Da dieser Ausgang jedoch auf den “Clock“ des zweiten Flip-Flops geschaltet ist bekommt der zweite Flip-Flop erst einen vollständigen Takt, nachdem der erste zwei Mal getoggled wurde. Dies ist die Realisierung der Funktion der Flip-Flops als Frequenzteiler. Wenn nun, nach einigen Minuten, der letzte Flip-Flop aktiviert wurde, schaltet sein Ausgang auf “High“, und über dem Kondensator fällt für einen kurzen Augenblick eine Spannung ab, welche parallel dazu auch an dem anderen Eingang des 4081 AND-Gatters abfällt. Somit wird für genau diesen Augenblick ein Signal am Ausgang des AND-Gatters erzeugt, welches über eine Diode auf die Leitung fließt, die zur Steuereinheit führt. Wenn nun, nachdem die Steckdose ausgeschaltet wurde, wieder ein Signal von der WoM-erkennung auftaucht, dann werden alle Flip-Flops sofort resetet und am dritten Flip-Flop geht der invertierte Ausgang auf den “High“ Zustand über. Dies führt dazu, dass sich, genau wie bei dem normalen Ausgang des dritten Flip-Flops, der Kondensator auflädt und für die Dauer des Aufladens ein Signalimpuls über das AND-Gatter erzeugt wird, welches an die Steuereinheit weitergeleitet wird, um die Steckdose wieder zu reaktivieren.

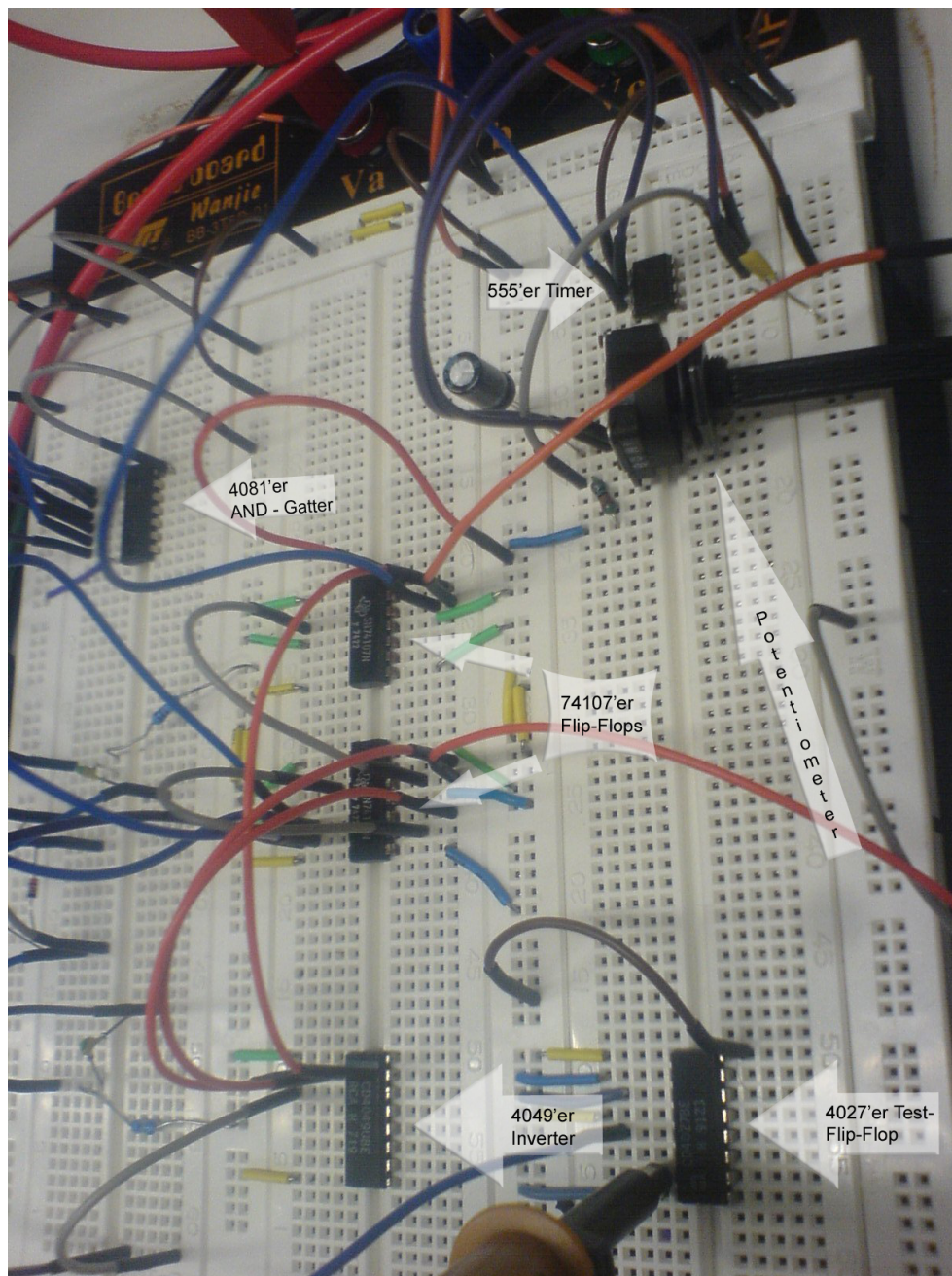


Abbildung 9.28: Testaufbau

Nun konnte es zur “Hochzeit” mit der WoM-Erkennung kommen:

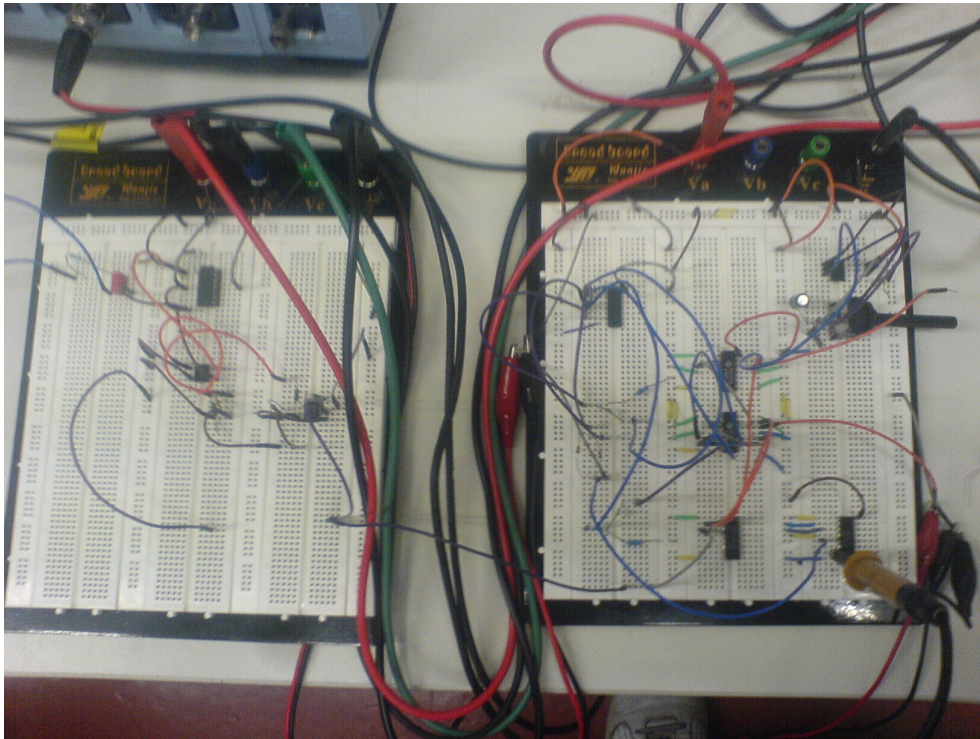


Abbildung 9.29: “Hochzeit” der WoM-Erkennung mit der WoM-Logik (Testaufbau)

Schaltpläne Es folgen nun einige Schaltpläne:

Um ein Dauerhaftes Signal in einen Impuls zu Wandeln haben wir die folgende Teilschaltung verwendet:

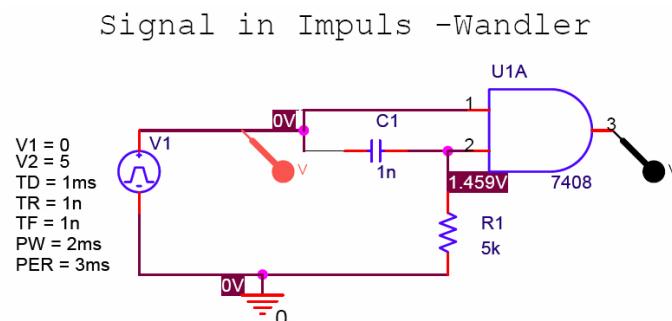


Abbildung 9.30: Signal in Impuls-Wandler

Ihre Funktionsweise beruht darauf, dass solange sich der Kondensator

auflädt, eine Spannung über diesem Abfällt, und das AND-Gatter somit für diese Dauer an einem der Eingänge ein “High“-Signal bekommt. Gekoppelt mit dem anderen länger andauernden “High“-Signal ergibt das unseren benötigten Impuls.

Und so sieht die Vollständige WoM-Logik-Schaltung aus:

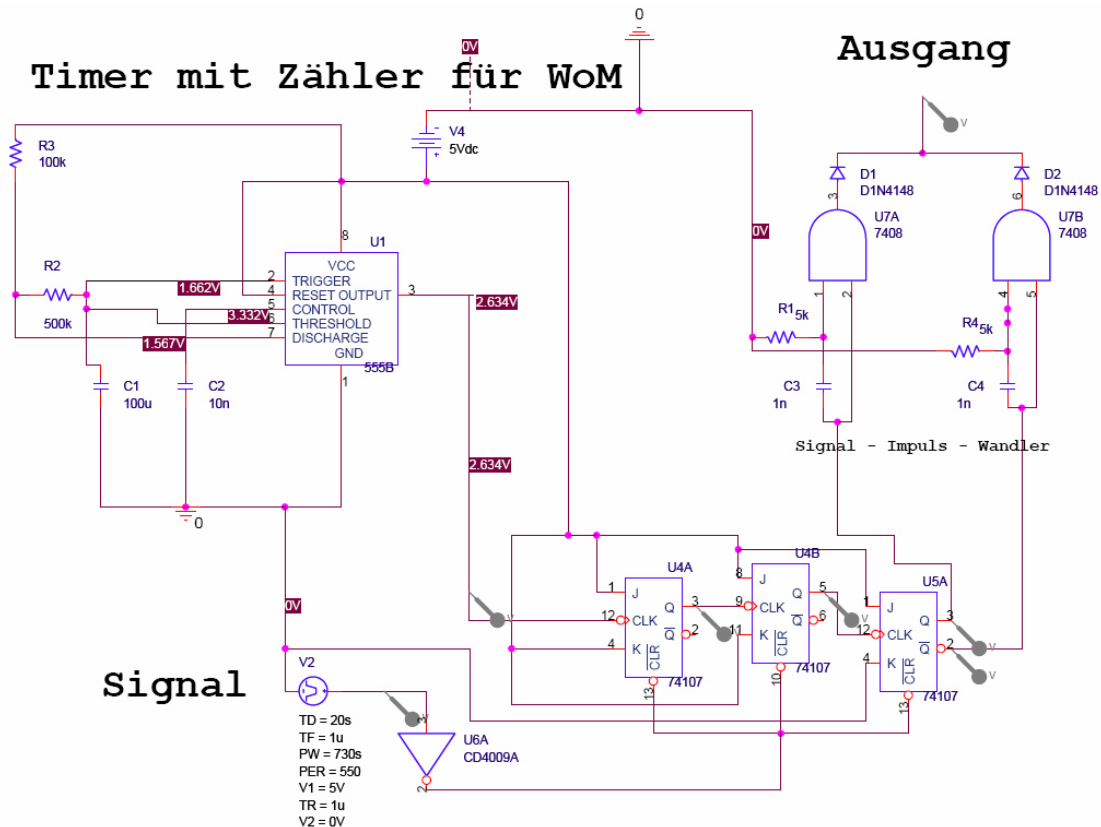


Abbildung 9.31: Vollständige WoM-Logik

Dabei wurde die Timer-Schaltung, die aus dem 555-Timer Baustein und den dahinter liegenden Flip-Flops als Frequenzteiler besteht (siehe Konzept), mit den Signal-Impuls-Wandlern an beiden Ausgängen des letzten Flip-Flops realisiert.

Simulationsergebnisse Der noch unvollständige Testaufbau lieferte nach Inbetriebnahme des astabilen Multivibrators, und der frequenzteilenden Flip-Flops einen sehr schönen Output (siehe 9.32).

Auf 9.32 gut zu erkennen sind die auf das Minimum eingestellten Flanken des astabilen Multivibrators, sowie die jeweils durch ein Flip-Flop hal-

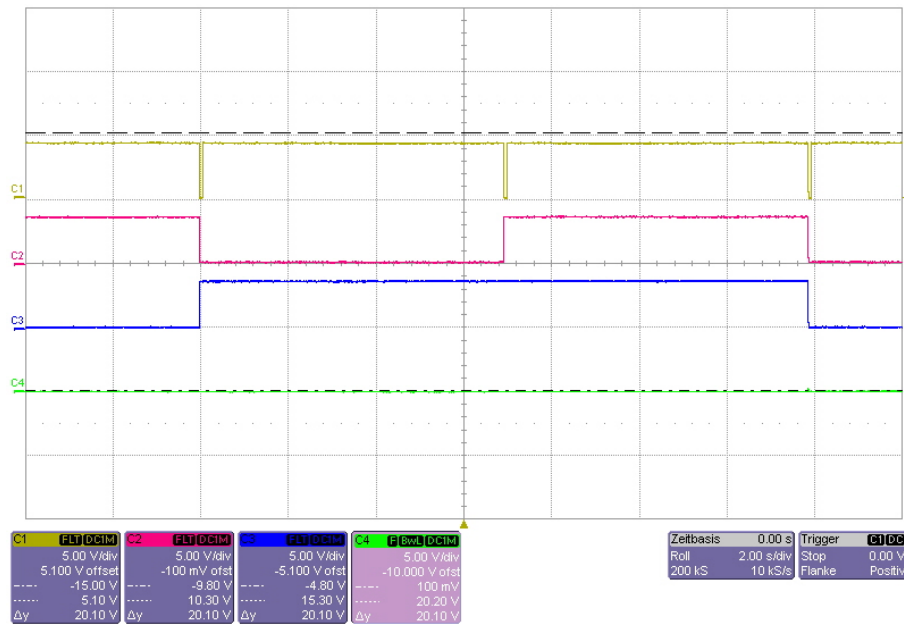


Abbildung 9.32: Astabiler Multivibrator mit Frequenzteilern

bierte Frequenz des Multivibrators.

Zunächst wurde der Signal-in-Impuls Wandler mit der in der Schaltung dargestellten Dimensionierung simuliert.

Auf 9.33) erkennt man die kurzen mit Grün gekennzeichneten Impulse zu Beginn jedes roten Signals, die eine Flankendauer von $5\mu s$ nicht überschreiten.

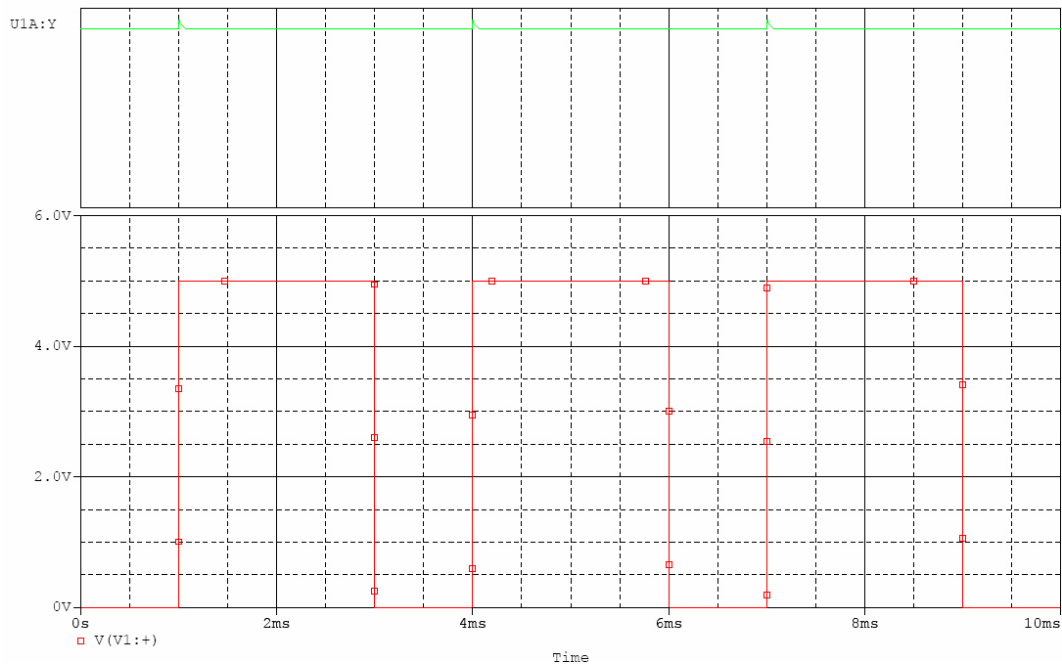


Abbildung 9.33: Simulation des Signal-in-Impuls-Wandlers

Die Gesamte WoM-Logik-Schaltung kombinierte dann den Signal-in-Impuls-Wandler mit der Timer und Frequenzteiler-Schaltung und wurde, wie in der dargestellten Schaltung dimensioniert.

Darauf zu sehen ist das Eingangssignal, welches mit Grün auf dem unteren Diagramm zu erkennen ist und dort nur zu Beginn über eine Dauer von 20 Sek auf “High“ ist.

Außerdem ist die im unteren Diagramm mit rot gekennzeichnete Ausgangsspannung des astabilen Multivibrators zu sehen, welche eine Amplitudendauer von ungefähr 40 Sek aufweist.

In dem oberen Diagramm sieht man die digitalen Ausgänge der ersten beiden Flip-Flops, und die beiden Ausgänge des dritten Flip-Flops sind im unteren Diagramm mit den Farben Lila (invertierter Ausgang) und Gelb (normaler Ausgang) dargestellt.

Als endgültiges Ausgangssignal der Schaltung wird im unteren Diagramm der mit Pink dargestellte Verlauf betrachtet.

Man erkennt auf dem Diagramm also, wie zu Beginn der Simulation der erste Flip-Flop auf die erste Amplitude des Astabilen Multivibrators nicht reagiert, da der Flip-Flop zu der Zeit noch inaktiv aufgrund des vorhandenen Signalimpulses war. Bei der zweiten Amplitude hingegen reagiert

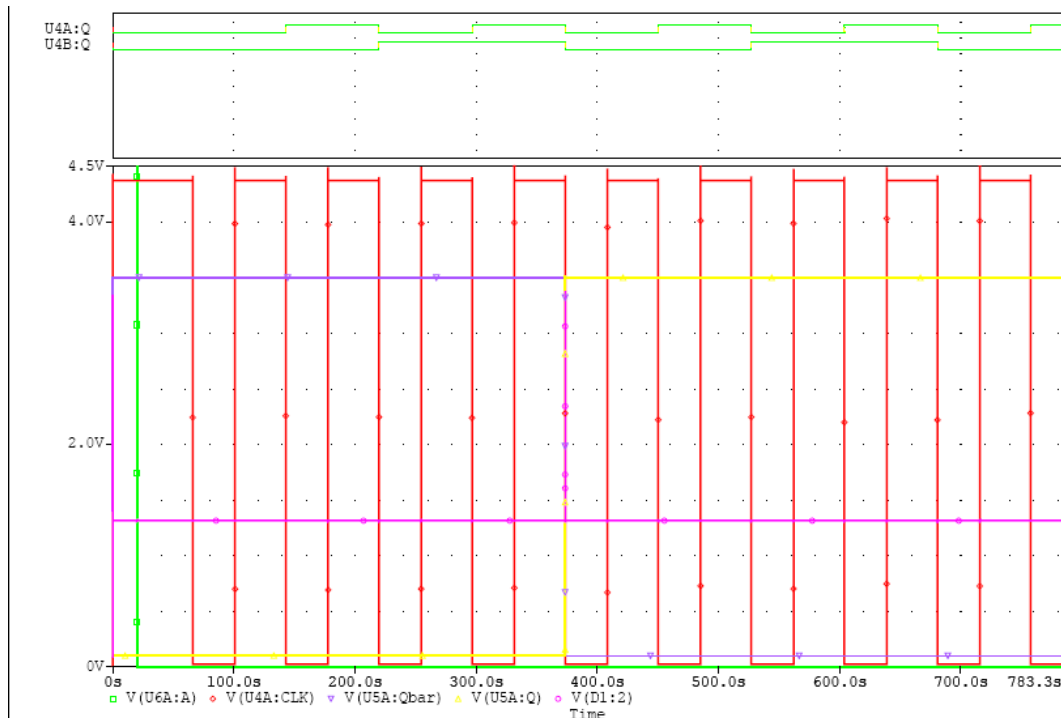


Abbildung 9.34: Simulation der gesamten WoM-Logik über eine Dauer von 900 Sek.

der Flip-Flop, wie vorgesehen, indem er bei der fallenden Flanke der zweiten Amplitude auf “High“ umschaltet. Nachdem bei ca. 220 Sek auf der Zeitachse, der dritte Takt des astabilen Multivibrators endet, schaltet nun der erste Flip-Flop wieder auf “Low“, und somit endet der erste Takt des ersten Flip-Flops und der zweite Flip-Flop schaltet auf “High“ um. Dieser gesamte Vorgang wiederholt sich nun noch einmal, bis der dritte Flip-Flop, aufgrund des Takts vom zweiten Flip-Flop, auf “High“ schaltet. In diesem Moment wird ein kurzzeitiger Impuls (Pink) ausgegeben, der der Steuereinheit das Signal zum Ausschalten der Steckdose liefert. Danach schwingt der Astabile Multivibrator zwar weiter, und auch die ersten beiden Flip-Flops reagieren, jedoch wird der dritte Flip-Flop seinen Zustand nicht mehr verändern, da nur sein “J“-Eingang dauerhaft auf “High“ ist, und der “K“-Eingang auf “Low“. Somit kann es zu keinem wiederholten Auslösen des Impulses kommen, zu was es sonst bei ca. 680 Sek auf der Zeitskala gekommen wäre.

Wenn nun die Steckdose aus ist, und der dritte Flip-Flop somit auf dem invertierten Ausgang ein “Low“ und auf dem normalen Ausgang ein “High“ hat, und nun ein erneutes Signal aus der Signalquelle kommt, dann werden alle Flip-Flops gleichzeitig resetet und der dritte Flip-Flop gibt somit ein “High“-Signal von seinem invertierten Ausgang aus, welches ebenfalls in einen Impuls umgewandelt wird. Dieser Impuls gibt somit der Steuerein-

heit den Befehl, die Steckdose wieder einzuschalten. Die Steckdose wurde also vom (Musik-) Signal zum Leben erweckt. $\implies$ “Wake On Musik“

Bauelemente In der WoM-Schaltung sind die folgenden Bauelemente enthalten:

Anzahl	Bauelement (ggf. CMOS Nr.)
1	LM324 OpAmp
1	TLC271 OpAmp
1	B80D Gleichrichter
1	$33\eta F$ Kondensatoren
1	$10\eta F$ Kondensator
2	$1k\Omega$ Widerstände
1	$1M\Omega$ Widerstand
1	$150k\Omega$ Widerstand
1	$47k\Omega$ Widerstand
1	$33k\Omega$ Widerstand

Tabelle 9.16: Bauelementliste der WoM-Signalverarbeitung

Anzahl	Bauelement (ggf. CMOS Nr.)
1	555 Timer
2	74107 J-K-Flip-Flops
1	4049 Inverter
1	4081 AND-Gatter
2	0,7V Dioden
2	$1\eta F$ Kondensatoren
1	$100\mu F$ Kondensator
1	$1\eta F$ Kondensator
2	$5k\Omega$ Widerstände
1	$1M\Omega$ Potentiometer

Tabelle 9.17: Bauelementliste der WoM-Logik

Zusammenfassung

Signalweg der Schaltung Das Audiosignal aus der Quelle, welches einfach parallel durchgeschliffen wird, wird im Signalverarbeitungsteil der Schaltung erst verstärkt, dann gleichgerichtet und geglättet um anschließend mit einer Referenzspannung am Komparator verglichen zu werden. Wird diese Übersritten, so gibt der Komparator konstantes "High" aus. Der Logik-Teil beginnt mit einem Inverter, sprich beim Anliegen eines Signals bekommt die Logikschaltung ein sauberes "Low" von 0V, bei Fehlen eines Signals ein sauberes "High" von 5V. Ein astabiler Multivibrator und drei FlipFlops realisieren über einen Frequenzteiler eine Ausschaltverzögerung. Über ein Potentiometer kann diese eingestellt werden (20 sec. - 8 min.). Das letzte Glied ist ein Signal-Impuls-Wandler, der bei auftretendem Signal und nach Schalten des letzten FlipFlops einen ca. $5\mu s$ langen 5V Impuls an das Kontrollwerk schickt.

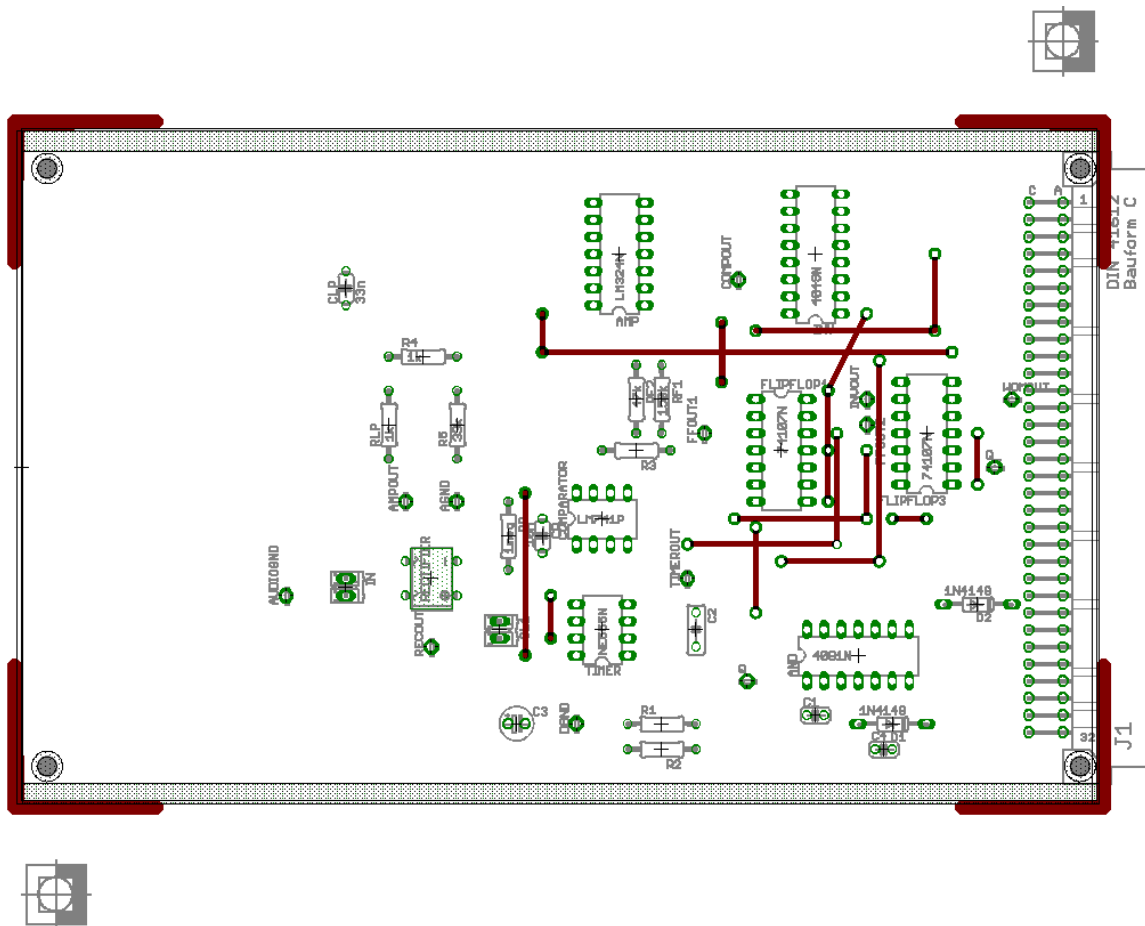


Abbildung 9.35: Bestückung der WoM-Platine inkl. Kabelbrücken

9.2.2 Teilgruppe 2: Klatschschalter

SIGNALVERARBEITUNG

Konzept und Realisierung

Konzept Das Prinzip des analogen Teils des akustischen Schalters ist identisch mit dem der Wake on Music (*WoM*) Schaltung. Wir haben das Prinzip am Anfang mit Matthias Albrecht entwickelt und es hat sich daran auch bis zum Ende nichts geändert.

Die Realisierung der Schaltung besteht zum Einen darin, die eingehenden Signale des (Elektret-)Mikrofons auf Arbeitspegel zu bringen und zum Anderen das Signal anschließend zu analysieren, um entsprechend zu 'schalten'.

Nachdem man sich für Klatschen und gegen Pfeifen als akustische Quelle entschieden hatte (was vor Allem am entschieden höheren Pegel des Klatschens lag) bot sich eine Lautstärkeanalyse stark an, da Klatschen breitbandig, sehr kurz ($\leq 10\text{ms}$) und extrem laut ist, verglichen zu Zimmerlautstärke.

Unsere Teilschaltung sollte also ein Mikrofonsignal daraufgehend untersuchen, ob es laut genug ist, den akustischen Schalter auszulösen und das Resultat in Form eines Rechteckimpulses an unsere Logik weiterzugeben. Wir hatten dann die Idee das bereits verstärkte Signal einfach gleichzurichten und zu glätten um die entstehende (kurzweilige) Gleichspannung an einem OPV-Komparator mit einer Referenzspannung zu vergleichen, der entsprechend auf High schaltet wenn die zu vergleichende Spannung größer als die Referenz wird und vice versa. Ein Rechteck entsteht.

Hier das ursprüngliche Konzept als Flussdiagramm:

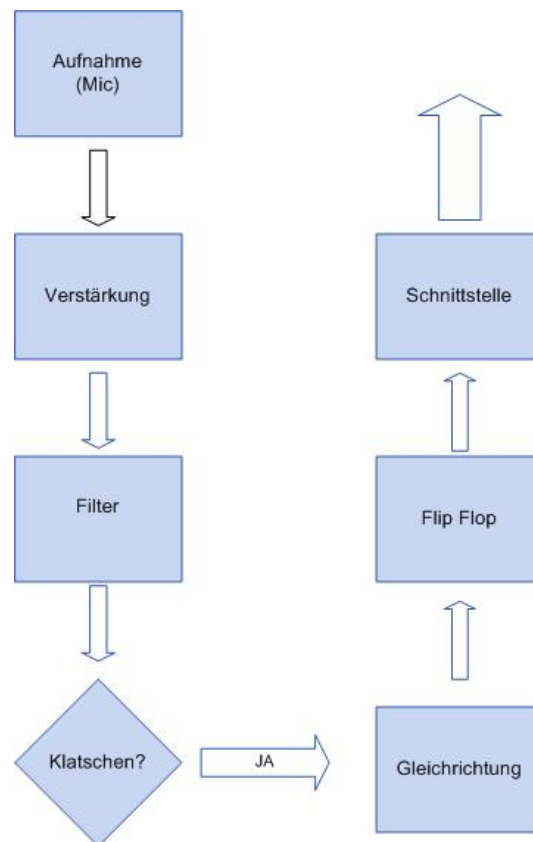


Abbildung 9.37: Ursprüngliches Clap-Konzept

Realisierung des Konzepts - Die Schaltung Signalweg von Mikrophon bis Logik

- (regelbare) Verstärkung mit OPV
- Gleichrichtung (Zweiweggleichrichter)
- Glättung (Kondensator zur Masse)
- Vergleichen mit Referenzspannung

Erläuterungen Da das eingehende akustischer Signal innerhalb unserer Schaltung bis zur absoluten Unkenntlichkeit, dass es sich dabei überhaupt einmal um ein Wechsignalsignal gehandelt haben soll manipuliert wird, haben wir überhaupt keine Ansprüche an Frequenzgang, Impulsverhalten oder Übertragung gestellt und uns für ein kleines Elektretmikrophon und

den LM324 als Verstärker entschieden (invertierender Verstärker), der insgesamt 500 bis 5000 mal verstärkt (regelbar per Poti).

Weiter wurde ein beliebiger Zweiweggleichrichter benutzt. Bei dem Komparator handelt es sich um den IC-Baustein B80D (siehe Probleme).

Probleme

Probleme mit dem Komparator Ideale Komparatoren vergleichen einfach zwei Spannungen. Bei realen allerdings gibt es ein paar Dinge, die beachtet werden müssen. Zum einen darf die Referenzspannung nicht beliebig nah an den Wert der beiden Betriebsspannungen heranreichen, und zum anderen gibt es große Unterschiede zwischen den ICs, was Anstiegs- bzw. Abfallzeit der Flanken (am Ausgang) betrifft.

Wir haben uns für den TLC271 entschieden, da wir hier die Referenzspannung ohne Probleme auf 0,5V setzen können und damit die gesamte Analyse empfindlicher machen können. Hätten wir den LM741 benutzt, der noch beim Testaufbau bei uns Verwendung fand, so wäre ein dauerhaftes High ausgegeben worden, unabhängig vom Eingang

Elektret-Mikrofone brauchen einen Vorwiderstand Elektretmikrofone sind im Prinzip Kondensatormikrofone mit permanent (Elektret) geladener Kapazität. Bei Luftdruckänderungen (Schall) wird eine Membran, die eine Kondensatorplatte darstellt, in Schwingung versetzt. Dadurch verändert sich die Kapazität und somit verändert sich die Spannung über dem dauer geladenen Kondensator.

$$\text{Kapazität} = \frac{\text{Ladung}}{\text{Spannung}} \Leftrightarrow C = \frac{Q}{U}$$

Ein zeitabhängiges elektrisches Signal entsteht. Zusätzlich haben Elektretmikrofone meist einen integrierten Impedanzwandler, der mit Spannung versorgt werden möchte. Damit allerdings eine Spannungsänderung gemessen werden kann, darf das Mikrofon nicht direkt an die Versorgung angeschlossen werden sondern muss über einen Vorwiderstand verbunden sein. Rückblickend ist das alles sehr logisch, doch trotzdem hat das Fehlen dieses Wissens uns lange aufgehalten.

Löten Trotz gewissenhaften Vorgehens beim Löten mussten wir beim testen unserer Platine feststellen, dass wir einige kalte Lötstellen hatten.

Schaltpläne Es folgt nun der Schaltplan:

Die Clap-Schaltung sieht folgendermaßen aus (Eagle):

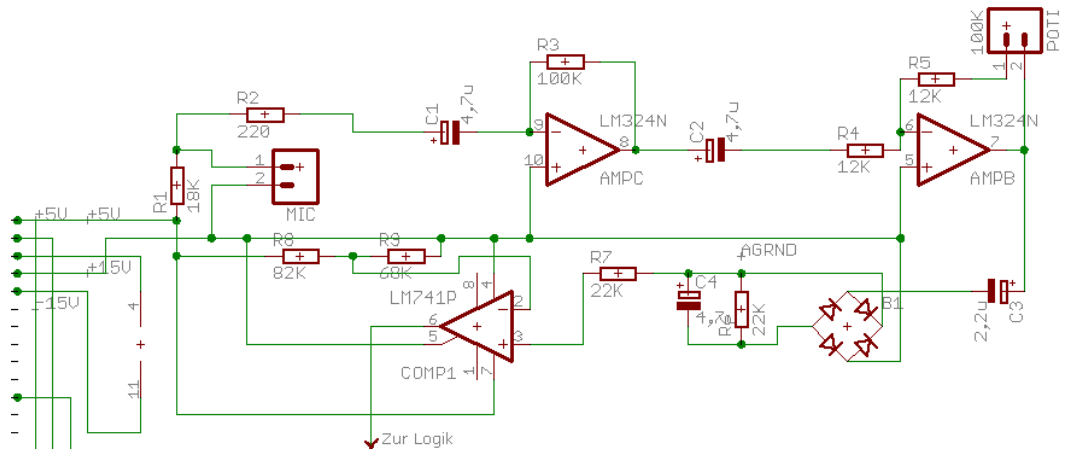


Abbildung 9.38: Die Clap-Schaltung

LOGIK DER CLAP-GRUPPE

Konzept & Realisierung

Problemstellung Es war am Anfang des Projektlabors. Eine topmotivierte Gruppe von jungen, unternehmungslustigen Studenten bekam den Auftrag einen Klatschsensor zu entwickeln und machte sich frisch ans Werk.

Natürlich war schnell klar, dass man mit einem einfachen Klatschen nicht auskommen würde und so entschieden wir uns für eine extra Logikgruppe die realisiert das man dreimal klatschen muss, bevor irgendetwas passiert.

Der Anfang! Die Grundidee war schnell entstanden: Flipflops und 2 Timer sollten das Eingangssignal so umwandeln, dass in einem bestimmten Zeitraum 3 Impulse benötigt werden um ein Ausgangssignal auszugeben. Gedacht, getan und der erste Entwurf war schnell zur Hand:

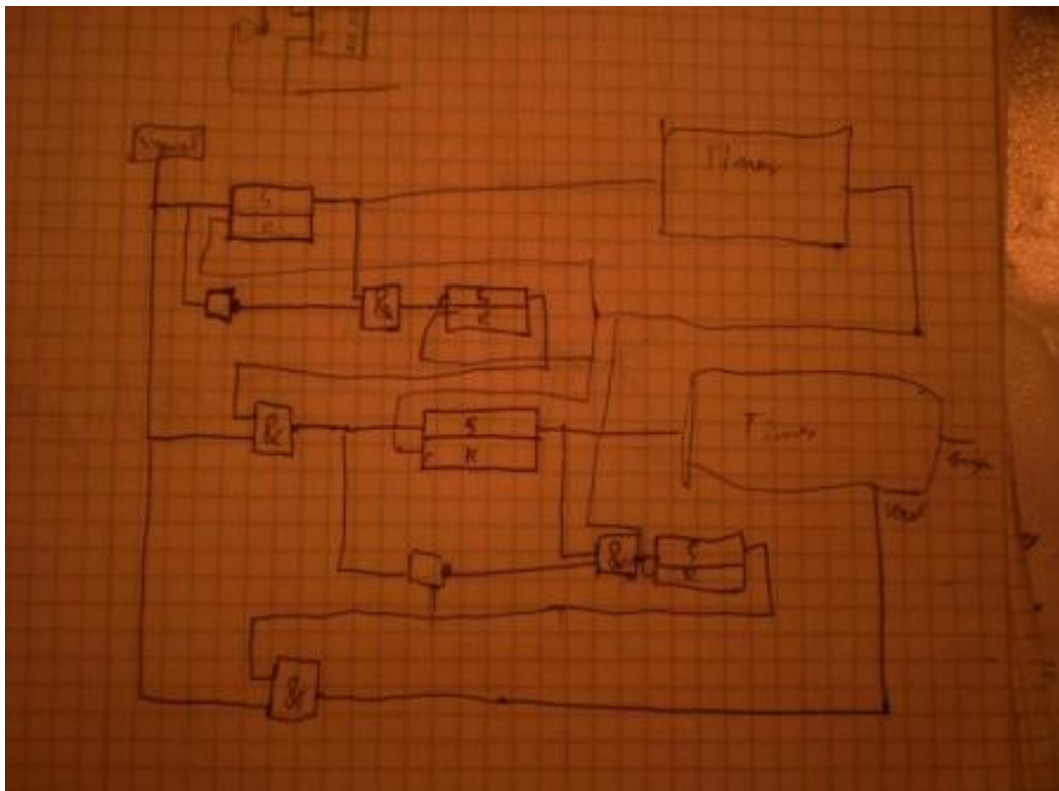


Abbildung 9.39: Das Anfangskonzept

Recht einfach und übersichtlich sieht er aus dachten wir freuten uns bereits auf eine schnelle und reibungslose Umsetzung. Das war mein erster und schwerwiegendster Fehler, denn reibungslos lief gar nichts, geschweige

denn schnell. Die Fehler kamen sobald man auch nur an die Realisierung dachte und häuften sich schnell zu Problemen an.

Impulslogik

Aufbau der Flipflops Die Idee ist recht simpel, man nimmt mehrere Flipflops um eingehende Impulse zu speichern und verknüpft sie mit And-Gattern so das der nächste Flipflop erst schalten kann wenn der vorherige Flipflop durchgeschaltet ist.

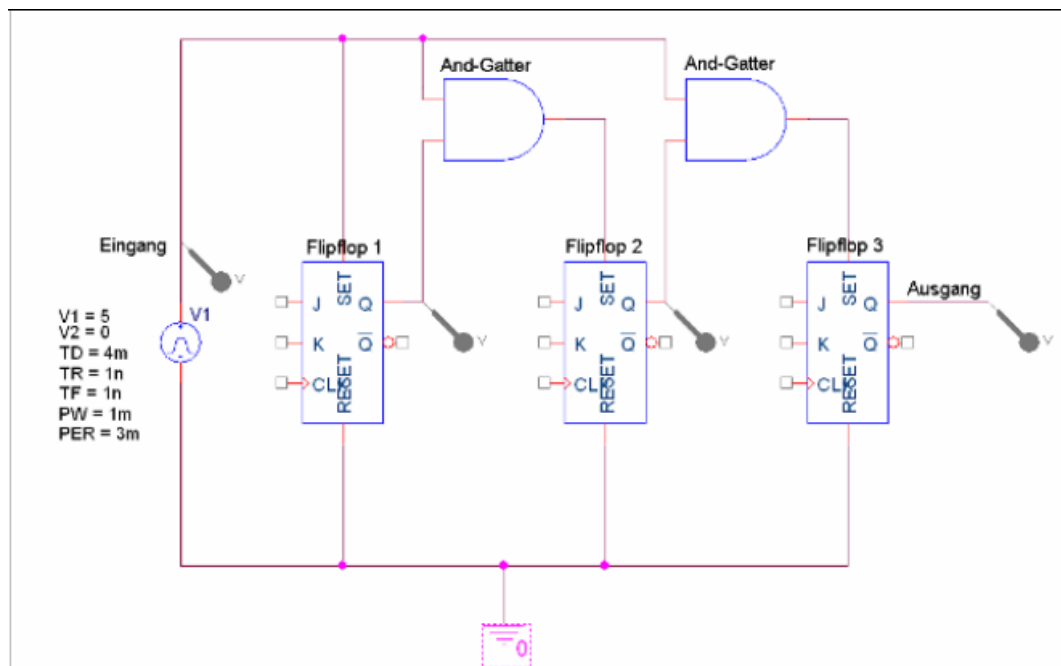


Abbildung 9.40: Erstes PSpice-Modell

Der Eingangsimpuls Die Schaltzeiten der Flipflops waren zu schnell, so dass das Signal beim ersten Impuls alle Flipflops durchschaltete bevor der Inverter das AND-Gatter sperrte. Wie noch öfter stellte sich heraus die Theorie kann mit der Realität nicht mithalten!

Also wurde nach reichlichem Überlegen, nerven von Kommilitonen und zur Rate ziehen von viel Fachliteratur der Aufbau verbessert aber auch schon wesentlich größer und unübersichtlicher.

Der Flipflop wird mit einem Vorflipflop und invertierten Eingangssignal beschaltet. Diese werden mit einem And-Gatter verschaltet damit der Flipflop erst ein Signal ausgibt wenn der Eingangsimpuls abfällt. Wir erweiterten unsere Schaltung so, dass sie jetzt auf negative Taktflanken reagiert.

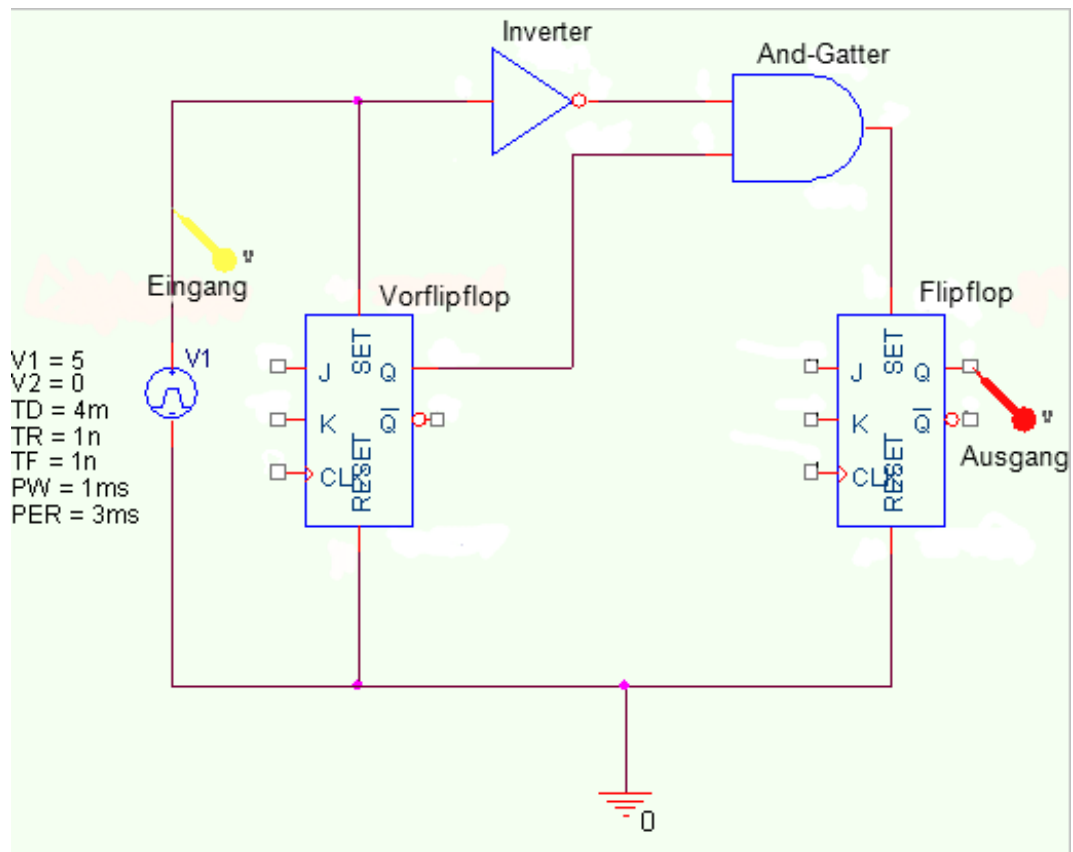


Abbildung 9.41: Beschaltung mit Vor-FlipFlop und Inverter

Von dieser FlipFlopschaltung werden in der Schaltung drei stück hinter-einander geschaltet um 3 Impulse zu verarbeiten.



Abbildung 9.42: Gemessen am Oszilloskop am Testaufbau

Die Timer

Timerarten Nachdem wir uns um die Impulse gekümmert haben können wir uns jetzt den Timern zuwenden. Wir benötigen insgesamt 2 davon. Der erste ist der Resettimer, er stellt das Zeitintervall ein, in dem die Impulse erfolgen müssen. Ist die Zeit überschritten, so sendet er einen Impuls aus, der die gesamte Schaltung resetet und wieder in den Ausgangszustand versetzt. Der zweite Timer ist ein Verzögerungstimer. Wie der Name schon sagt verzögert er das Ausgangssignal um ein bestimmtes Zeitintervall. Werden während dieser Zeit weitere Impulse an die Schaltung geschickt wird dieser Timer außerdem sofort resetet was dazu führt das kein Ausgangssignal ausgegeben wird.

Aufbau der Timer Die Timer basieren auf der Logik des IC 555 allerdings wird jeweils nur ein Teil der Schaltung gebraucht. Der erste Timer besteht aus einem Kondensator der über einen großen Widerstand aufgeladen wird. Der Kondensator ist mit einem Komperatoreingang verbunden.

Wenn der Kondensator aufgeladen wird, erreicht er nach ca. 2 Sekunden die Vergleichsspannung. Sobald er sie überschritten hat sendet er einen kurzen Resetimpuls und das Zeitintervall ist beendet. Der zweite Timer ist genau wie der erste aufgebaut nur wird bei ihm eine zusätzliche Resetfunktion benötigt, diese realisiert man über einen Transistor als Schalter dessen Kollektor Emitter Verbindung parallel zum Kondensator geschaltet wird. Kommt nun ein weiterer Impuls wird dieser auf die Basis des Transistors geschaltet, was zu einer sofortigen Entladung des Kondensators über die Kollektor Emitter Verbindung führt.

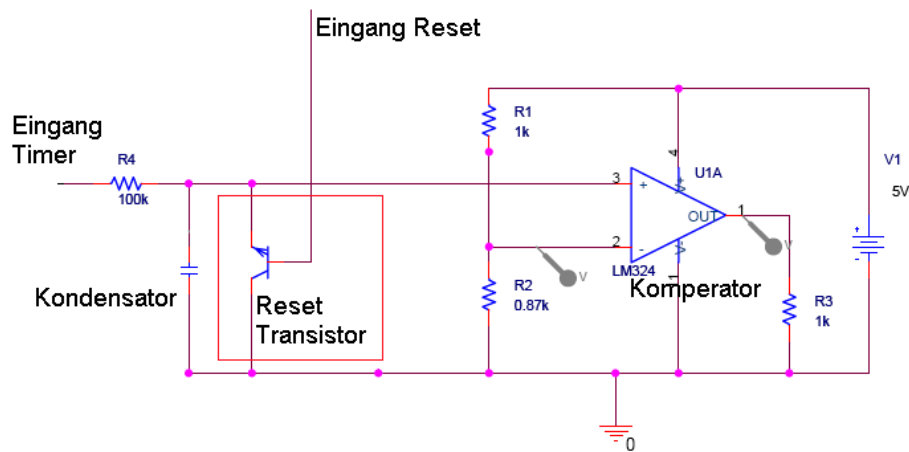


Abbildung 9.43: Erste Timer-Schaltung

Gesamtschaltung Nun verbindet man die Timer mit den Flipflops und erhält die Gesamtschaltung. Dabei muss man nur beachten welcher Flip-flop welchen Timer auslöst. Der erste Timer soll starten sobald der erste Impuls eintrifft. Er wird also direkt an den Ausgang des ersten Vorflipflops geschaltet. Der zweite Timer soll starten sobald drei Impulse eingetroffen sind dementsprechend muss er an den Ausgang des dritten Flipflops geschaltet werden. Jetzt bleibt nur noch die Frage offen wie man den Reset des zweiten Timers gestaltet. In dieser Schaltung wird noch ein extra Flipflop für einen vierten Impuls eingebaut, dessen Ausgang mit der Basis des Transistors verbunden ist.

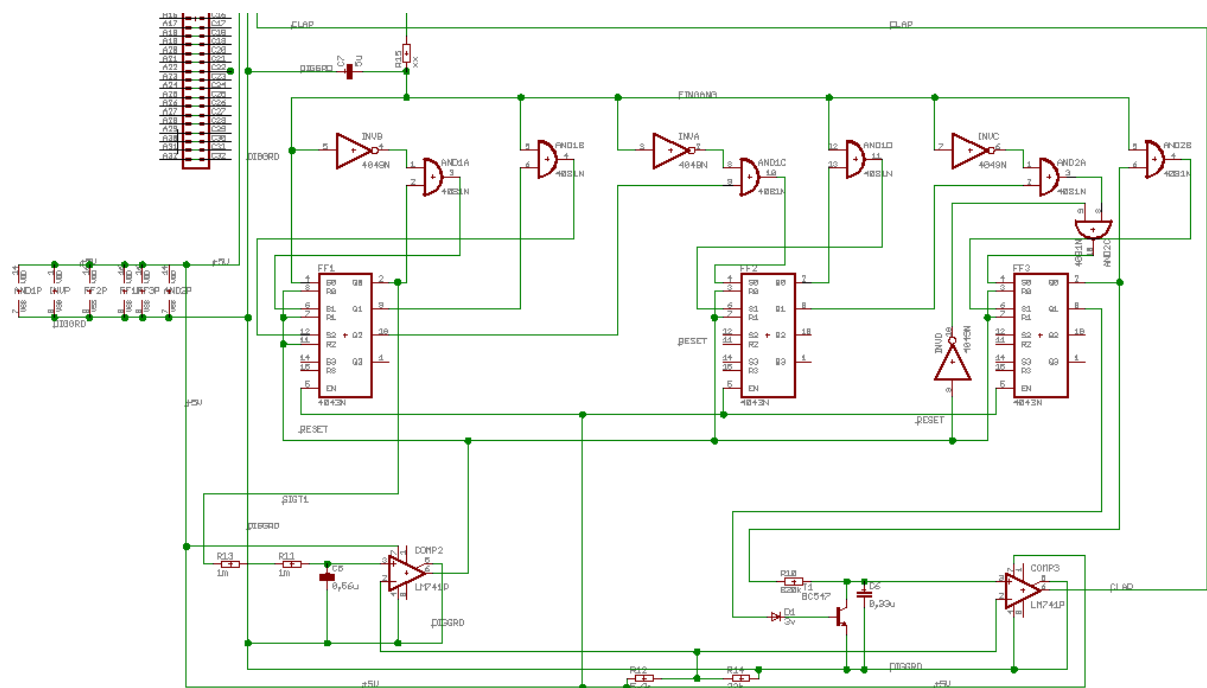


Abbildung 9.44: Gesamtschaltung der Clap-Logik

Im gesamten Schaltplan sind leicht die einzelnen Teile der Schaltung zu finden leider existiert kein vollständiger Pspice-Plan, weil die Gesamtschaltung von Pspice nicht mehr simuliert wurde. Es wurde sich gleich an den Testaufbau gemacht.

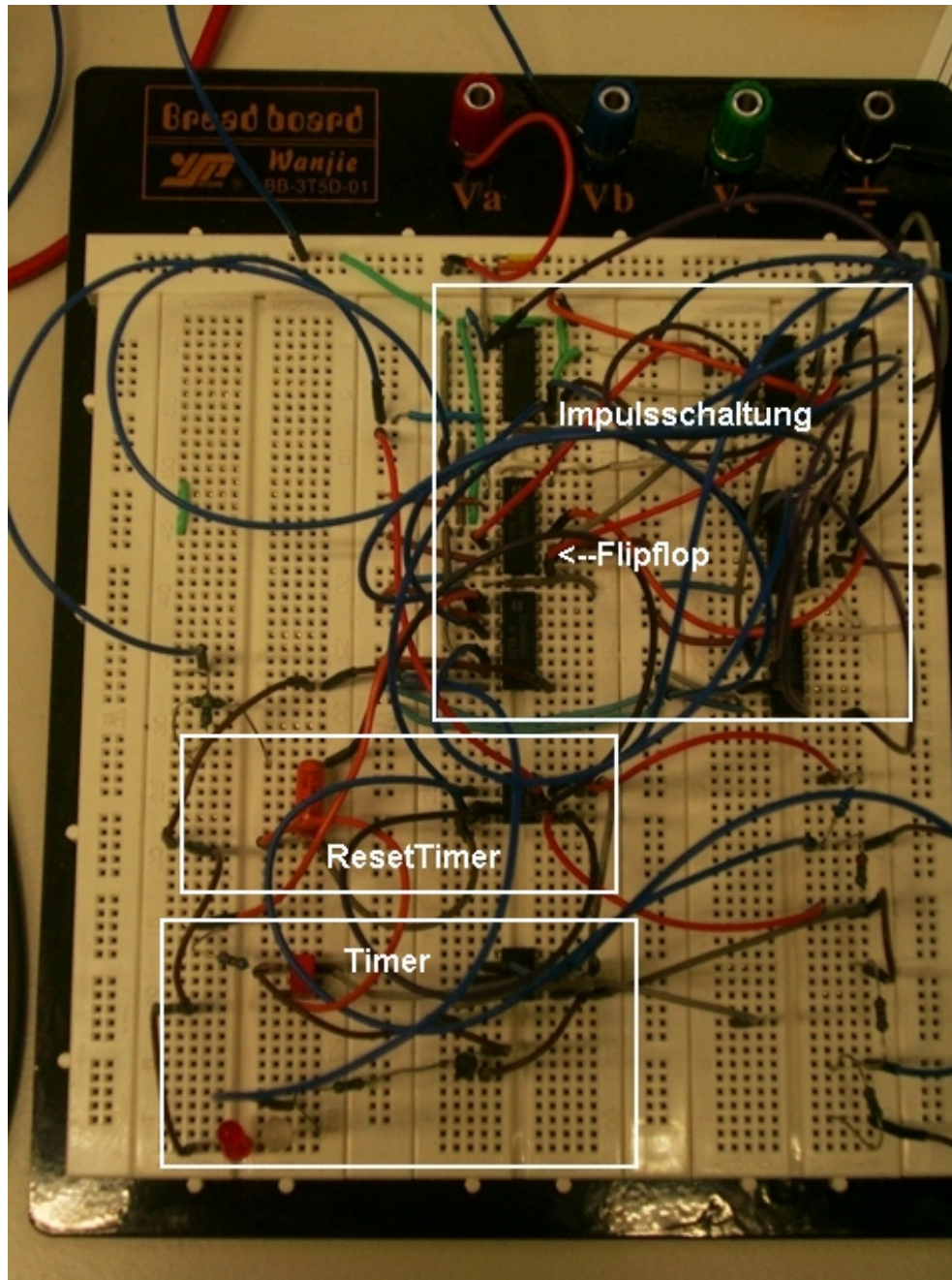


Abbildung 9.45: Letztendlicher Testaufbau

Grün	Eingang
Rot	Ausgang
Gelb	Kondensatorspannung des Resettimers

Meßergebnisse Die funktionierende Testschaltung auf dem Oszilloskop



Abbildung 9.46: Klatschimpulse am Logik-Eingang

wobei die blaue Linie der Eingang die grüne Linie den Ausgang beschreibt.

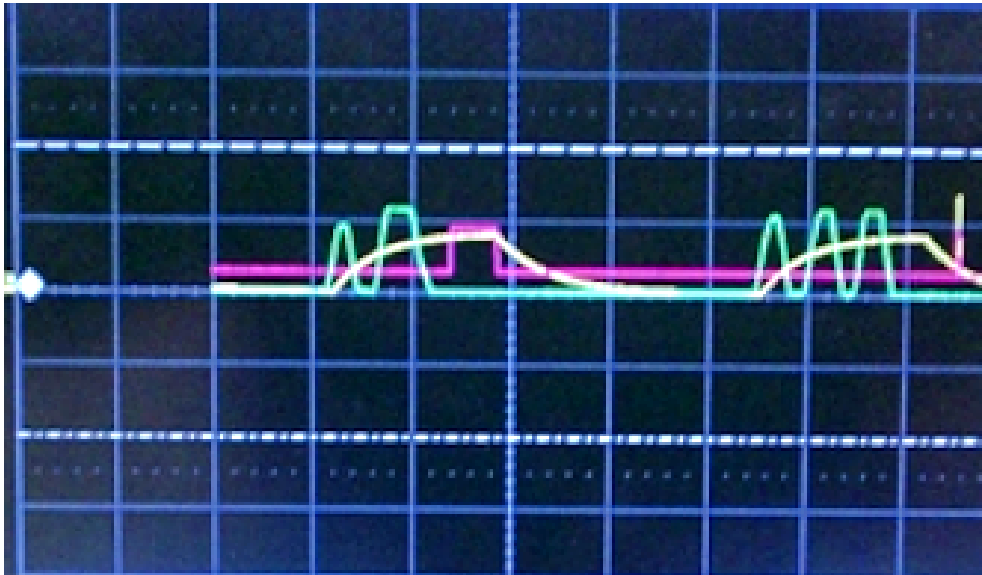


Abbildung 9.47: Funktionierende Testschaltung

Bauelemente In der Clap-Schaltung sind die folgenden Bauelemente enthalten:

Anzahl	Bauelement (ggf. CMOS Nr.)
1	LM324 OpAmp
1	TLC271 OpAmp
1	B80D Gleichrichter
1	$33\eta F$ Kondensatoren
1	$10\eta F$ Kondensator
2	$1k\Omega$ Widerstände
1	$1M\Omega$ Widerstand
1	$150k\Omega$ Widerstand
1	$47k\Omega$ Widerstand
1	$33k\Omega$ Widerstand

Tabelle 9.18: Bauelementeliste

Anzahl	Bauelement (ggf. CMOS Nr.)
1	555 Timer
2	74107 J-K-Flip-Flops
1	4049 Inverter
1	4081 AND-Gatter
2	0,7V Dioden
2	$1\eta F$ Kondensatoren
1	$100\mu F$ Kondensator
1	$1\eta F$ Kondensator
2	$5k\Omega$ Widerstände
1	$1M\Omega$ Potentiometer

Tabelle 9.19: Bauelementeliste

Hier die Bestückung:

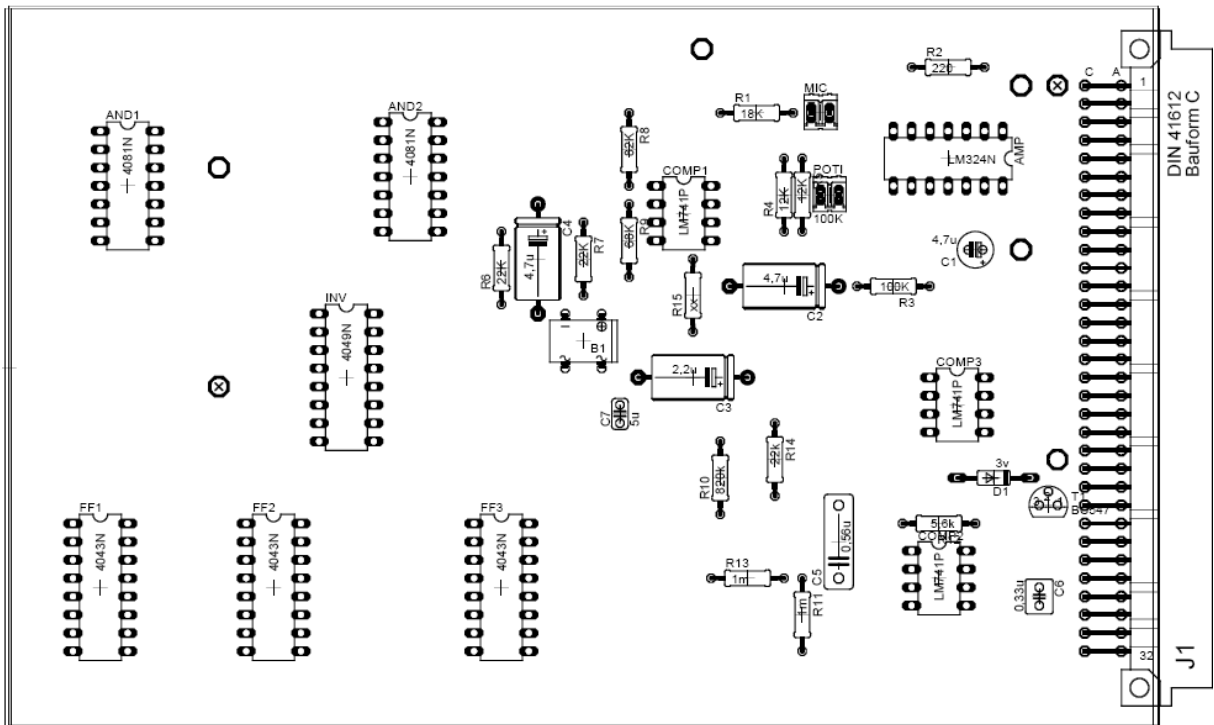


Abbildung 9.48: Bestückungsplan der Clap-Platine

Das Bottom-Layout:

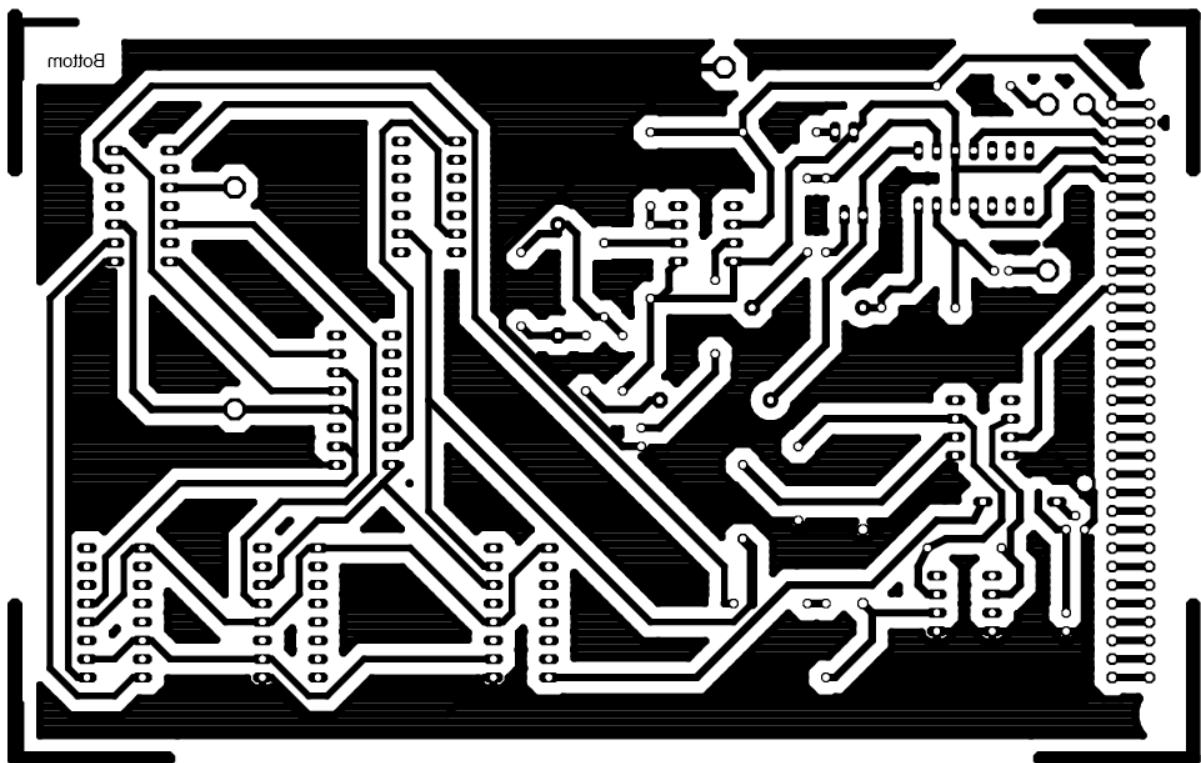


Abbildung 9.49: Bottom-Layer der Clap-Platine

Das Top-Layout:

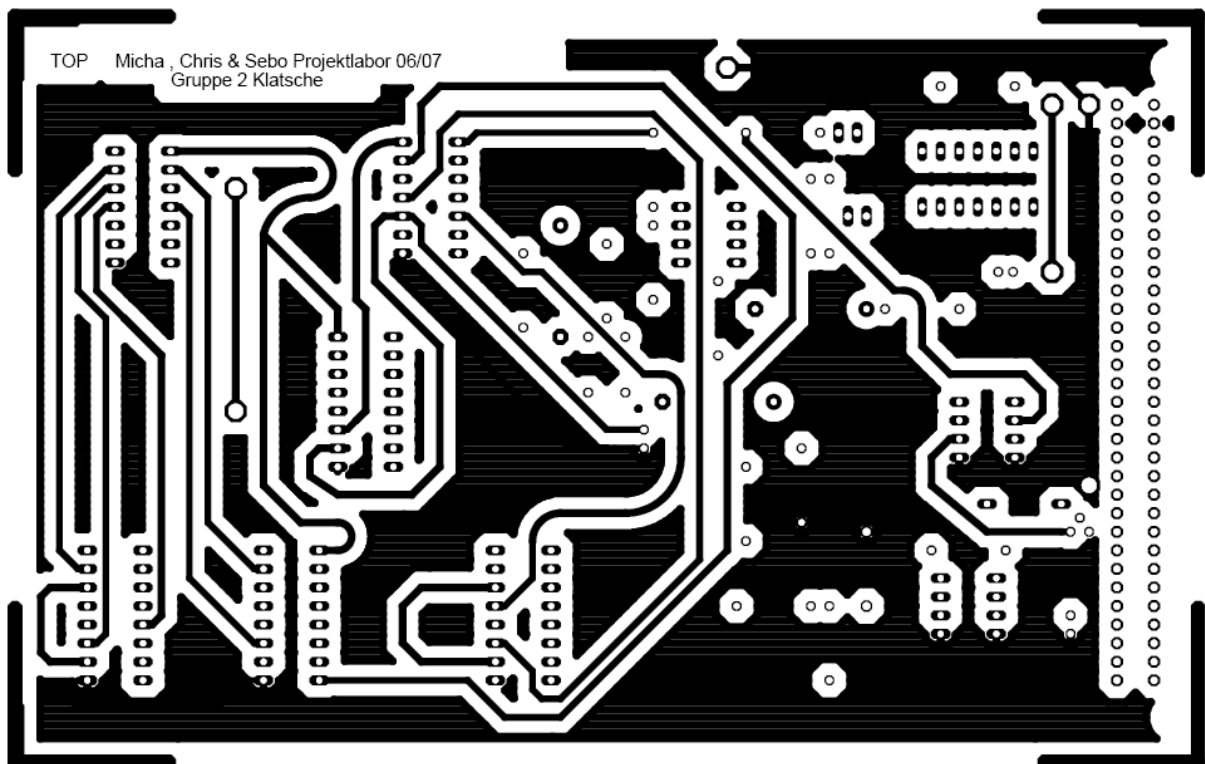


Abbildung 9.50: Top-Layer der Clap-Platine

9.3 GRUPPE 3: STAND-BY-ERKENNUNG UND DIMMER

Vom Blockschaltbild zur Kleingruppe Am Anfang des Projektlabors haben wir in der Großgruppe ein Gesamtblockschaltbild entworfen. Mit Hilfe dieser Übersicht wurden wir anschließend in fünf Kleingruppen eingeteilt. Unsere Aufgabe war es eine Standby und eine Dimmerschaltung zu realisieren. Als erstes haben wir über konkreten Aufgaben diskutiert die unsere Kleingruppe erfüllen muss. Darin war enthalten welche Funktionen im einzelnen die beiden Teilschaltungen haben sollen und welche Signale und Spannungen wir von anderen Gruppen benötigen werden. Nachdem wir uns auf die grundlegenden Eigenschaften geeinigt hatten, haben wir ein Blockschaltbild für die beiden Teilabschnitte entworfen. Daraufhin konnten wir den Arbeitsaufwand abschätzen, den wir benötigen würden um die von uns vorher gesetzten Ziele zu erreichen. Der Zeitaufwand bei der Dimmerschaltung war am größten und deshalb bestand diese Teilgruppe aus fünf, die Standbyteilgruppe aus drei Projektteilnehmern. In den einzelnen Teilgruppen wurden nun die einzelnen Funktionen besprochen und das Blockschaltbild erweitert und konkretisiert.

9.3.1 Dimmer

Die Schwierigkeit bei der Umsetzung des Dimmers bestand darin, seine Leistungsabgabe mit Hilfe eines Spannungssignals zu steuern. Aus diesem Grund beschäftigte sich ein Gruppenteil ausschließlich mit der Umsetzung der Dimmeransteuerung, welche weitaus komplexer als der Dimmer selbst ist.

Verschiedene Konzepte

Phasenanschnitt: Die Sinuswelle der Netzspannung wird nach jedem Nulldurchgang angeschnitten, so dass die resultierende Effektivleistung reduziert wird und somit die Dimmung erfolgt. (nicht geeignet für induktiven Lasten)

Phasenabschnitt: Die Sinuswelle wird ähnlich wie beim Phasenanschnitt “angeschnitten“, jedoch vor jedem Nulldurchgang. Der Aufbau der Schal-

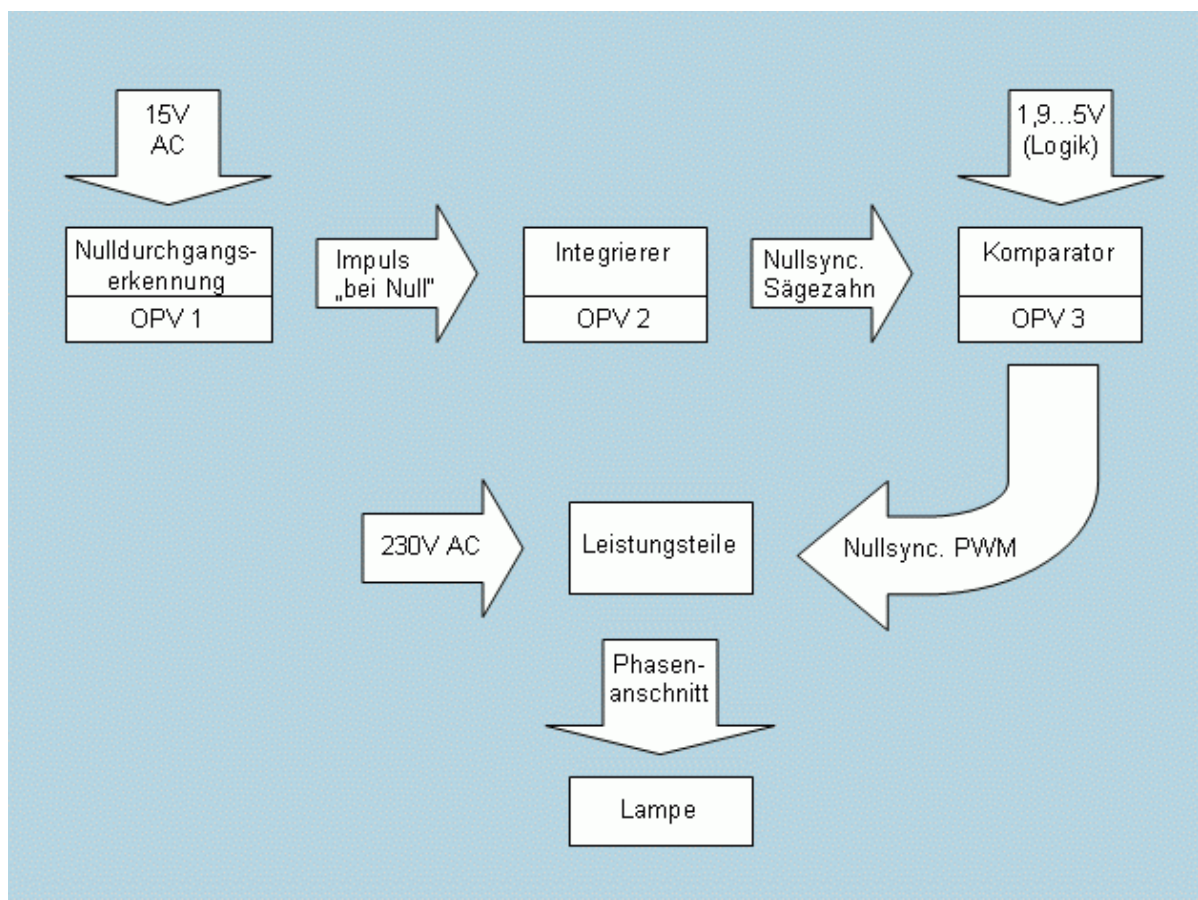


Abbildung 9.51: Blockschaltbild

tung ist komplizierter als beim Phasenanschnitt. (keine kapazitiven Lasten)

Spannungsteiler: Die Dimmung erfolgt mit einem Leistungspotentiometer in Reihe mit der Last nach dem Spannungsteilerprinzip. (Sehr hohe Verlustleistung → sehr hohe Wärmeentwicklung)

Regeltrafo: Ringkerntransformator bei dem ein Kontakt über die Windungen fährt und so die Spannung mittels Servomotor eingestellt werden kann. (zu teuer, zu schwer, zu einfach)

Pulsweitenmodulation (PWM) (für Niederspannungslampen): Komplizierte Realisierung, als direkte Dimm-Methode nicht für unsere Zwecke geeignet. (kommt jedoch in der Steuerschaltung zum Einsatz, s.u.)

Endgültige Schaltung (alle Indizes beziehen sich auf Abbildung 9.52 bis 9.57)

Die Steuerschaltung arbeitet mit 3 Eingangssignalen. Darunter einmal 15 Volt AC (Pin 6 und 7), 15 Volt DC (Pin 3) zur Versorgung der OPVs und natürlich das Steuersignal von der Logik-Gruppe: 0 bis 5 Volt (Pin 22 und 23). In Abbildung 9.52 lässt sich gut erkennen, dass die 15 Volt AC zunächst mittels eines Brückengleichrichters gleichgerichtet werden.

Teilschaltung 1 (OPV 1) : Die beiden Tiefpässe bewirken eine minimale Phasenverschiebung. Der erste OPV ist als Komparator geschaltet und vergleicht diese gleichgerichtete, verschobene Spannung mit einer Gleichspannung, welche durch den Spannungsteiler R_5 und R_6 eingestellt wird (Abbildung 9.55). Ziel ist es, diese Gleichspannung so klein wie möglich zu halten um einen möglichst kurzen Impuls synchron zum Nulldurchgang der Wechselspannung am Ausgang des OPVs zu erzeugen (Abbildung 9.52). Schaltet der erste OPV im Nulldurchgang kurz durch, entlädt sich

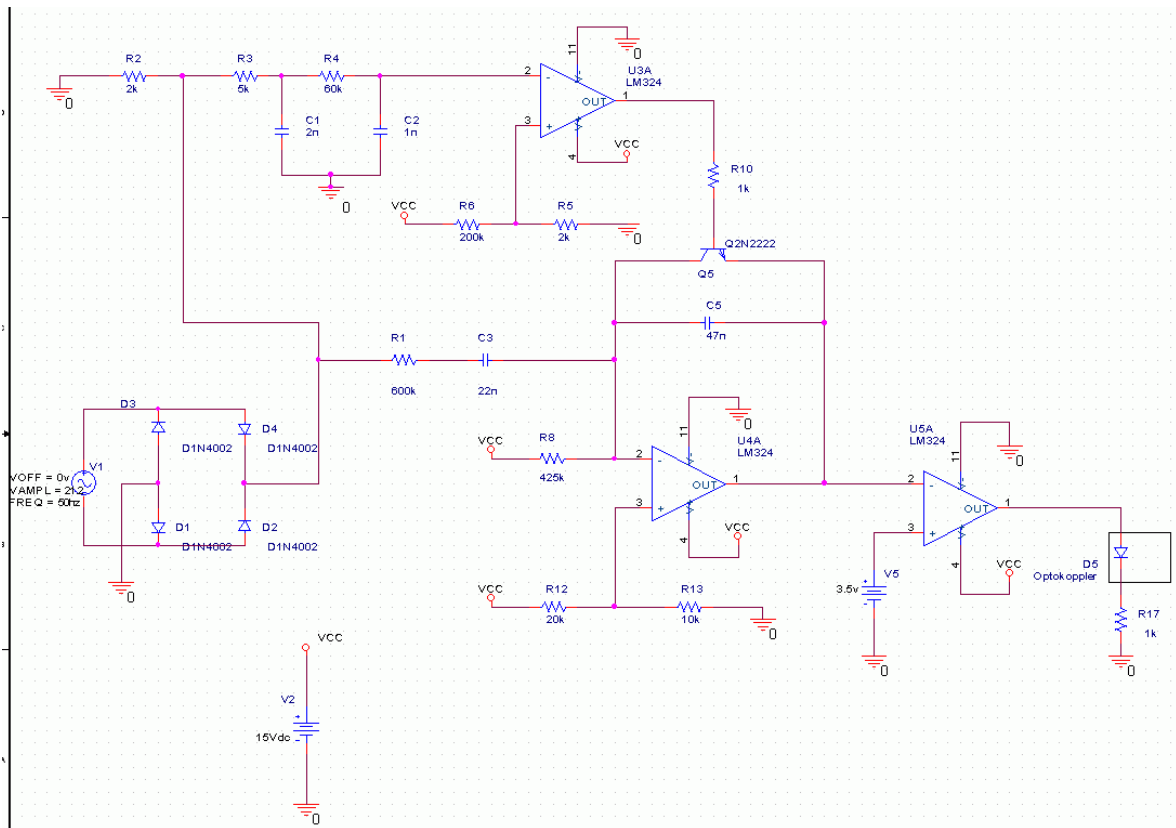


Abbildung 9.52: Dimmersteuerung

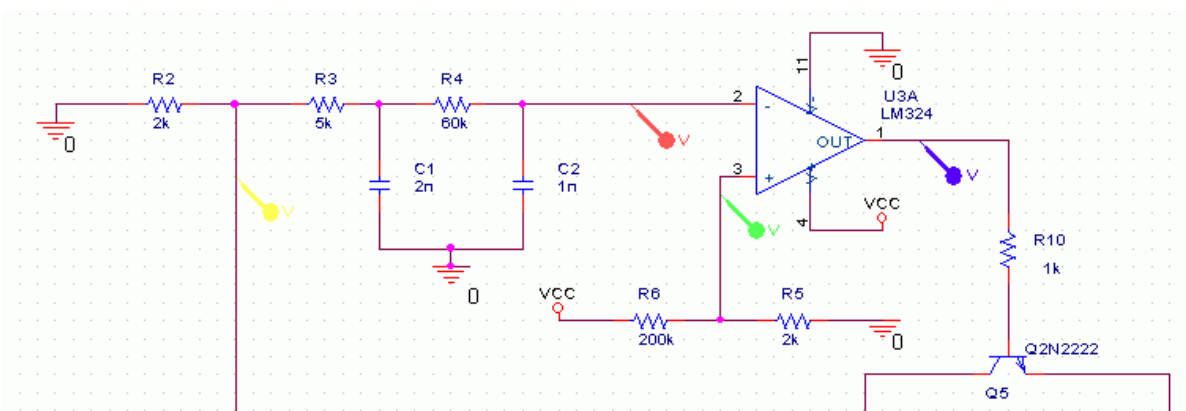


Abbildung 9.53: Teilschaltung 1: Tiefpässe und OPV 1

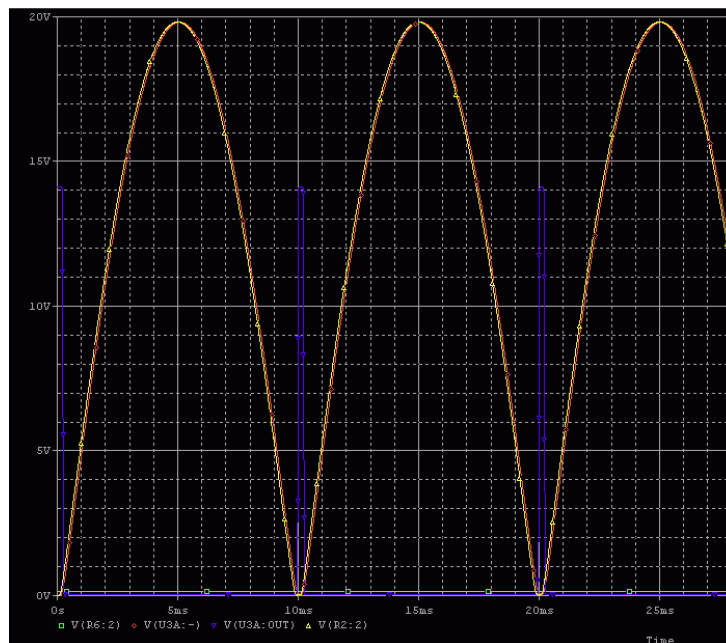


Abbildung 9.54: Nullsynchrone Impuls

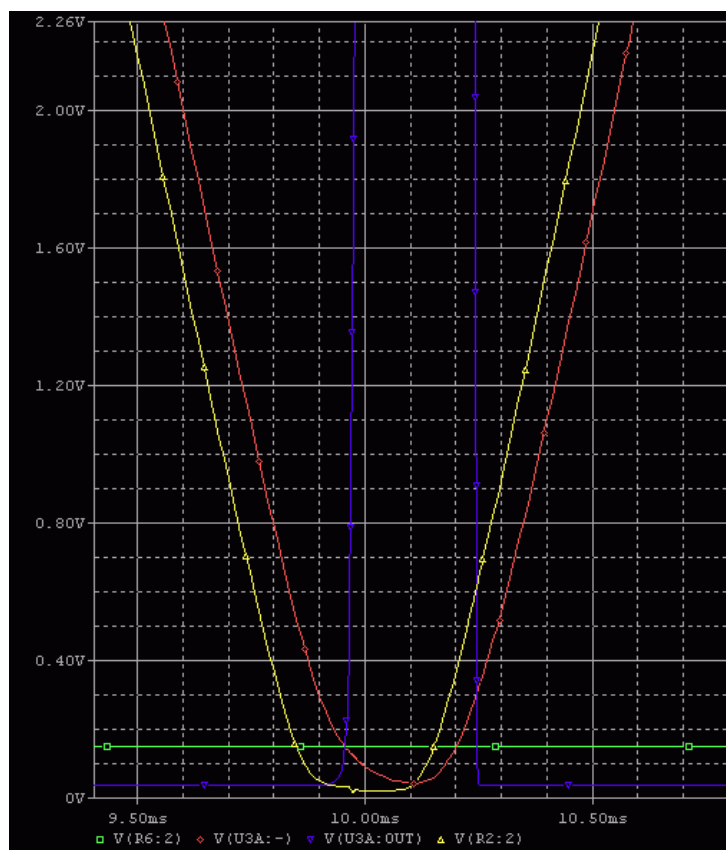


Abbildung 9.55: Minimale Phasenverschiebung

C_5 über den Transistor. Durch Variation von R_5 und den Tiefpässen kann die Netzsynchronisation präzisiert werden.

Teilschaltung 2 (OPV 2) : Der zweite OPV ist als Integrierer geschaltet. Er wird bei jedem Nulldurchgang mittels des Transistors zurückgesetzt, es ergibt sich also eine Sägezahnspannung am Ausgang. Um eine lineare Dimmung zu gewährleisten wird über R_1 und C_3 eine Netzanpassung vorgenommen. Der Spannungsteiler R_{12} , R_{13} bestimmt den Maximalwert des Sägezahns. Dieser muss knapp unter 5V liegen um den Dimmer später voll aussteuern zu können.

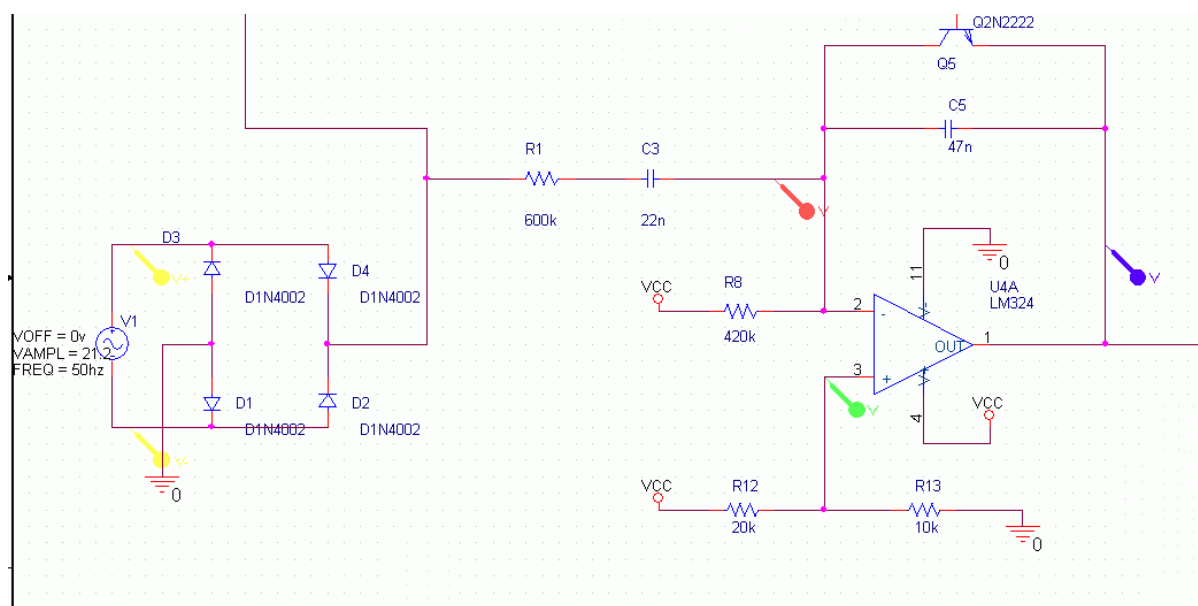


Abbildung 9.56: Teilschaltung 2: OPV 2 als Integrierer

Teilschaltung 3 (OPV 3) : Der netzsynchrone Sägezahn wird nun im dritten OPV mit dem regelbaren Eingangssignal verglichen. Der Output ist eine zum Nulldurchgang der Netzspannung synchrone Rechteckspannung, bei der sich die steigende Flanke abhängig vom Eingangssignal verschieben lässt. Dieses Verfahren wird als Pulsweitenmodulation bezeichnet, hier besteht die Besonderheit darin, dass die fallende Flanke immer im Nulldurchgang der Netzspannung liegt.

Am letzten Diagramm lässt sich sehr leicht erkennen, dass das Rechtecksignal (blau) über das grüne Eingangssignal gesteuert wird. Im Bereich zwischen 1,9 und 5 Volt kann man die Länge der Rechtecke einstellen. Später wird dieses Rechtecksignal im Optokoppler bzw. am Triac eine Zündung hervorrufen und unser Phasenanschnitt ist komplett. Details

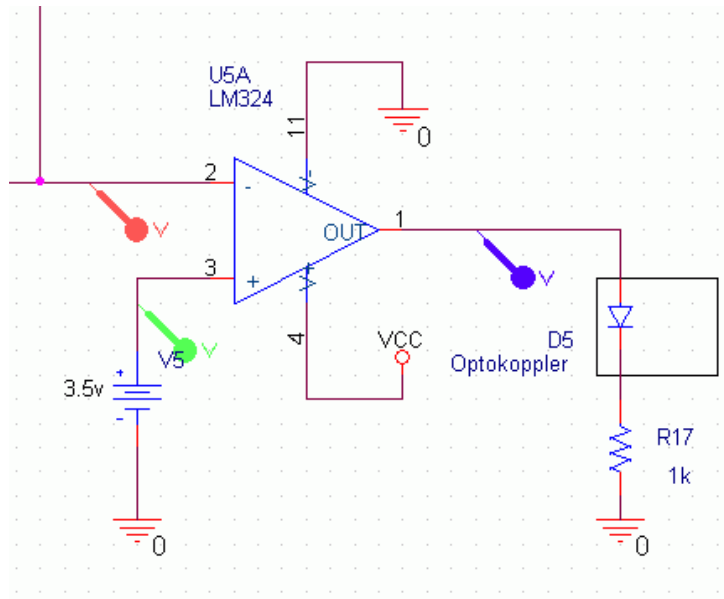


Abbildung 9.57: Teilschaltung 3: OPV 3 als Komparator

dazu finden Sie im Abschnitt “der Dimmer an sich“.

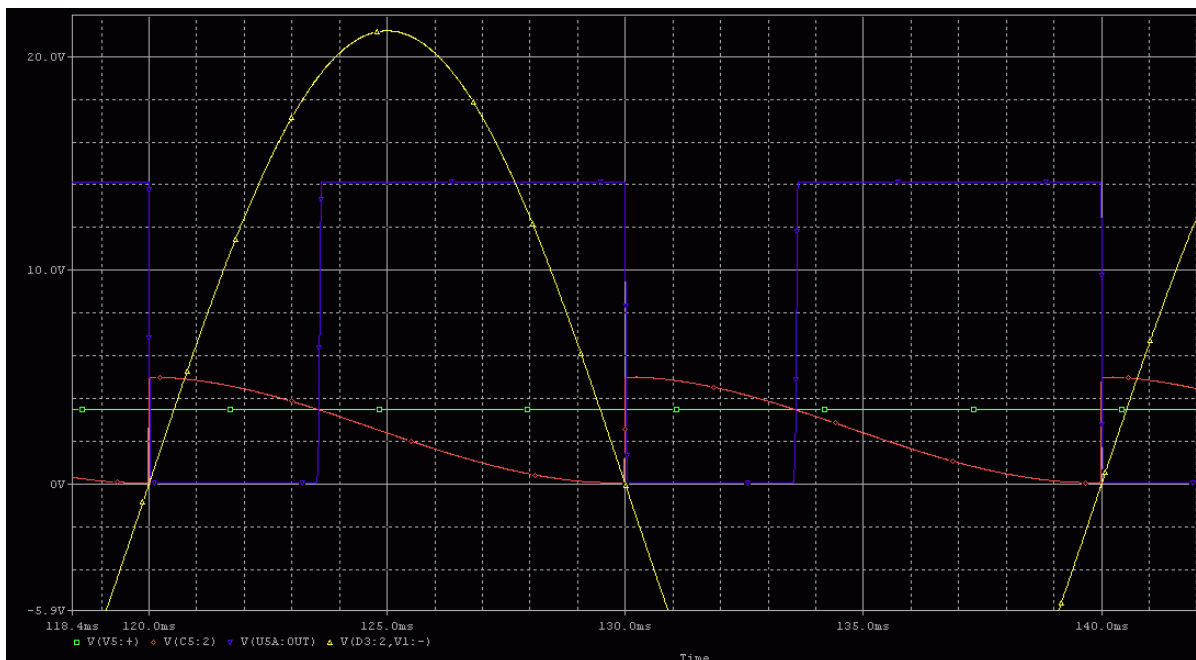


Abbildung 9.58: Sägezahn und Ausgangssignal

In Abbildung 9.58 lässt sich sehr leicht erkennen, wie das Rechtecksignal (blau) über das grüne Eingangssignal gesteuert wird. Durch Variation der Eingangsspannung zwischen 1,9 und 5 Volt kann man die Länge der Rechtecke einstellen. Dieses Signal wird auf der Leistungsplatine (dem eigentlichen Dimmer) optisch entkoppelt und zündet dann den Triac. Damit ist unser Phasenanschnitt komplett. Details dazu finden Sie im Abschnitt

Der Dimmer an sich.

Berechnungen Spannungsteiler am OPV 1: Hier war es nötig, eine Spannung der Größenordnung 100mV auf den nicht invertierenden Eingang zu geben, um einen möglichst kurzen Impuls am Ausgang zu erhalten.

$$149mV = 15V \cdot \frac{R_5}{R_5 + R_6}$$

Spannungsteiler am OPV 2: Der Spannungsteiler bestimmt hier den Maximalwert der Sägezahnspannung. Dieser darf nicht über der maximalen Steuerspannung von 5 Volt liegen.

$$5V = 15V \cdot R_{13}R_{12} + R_{13}$$

Beim Aufbau der Testschaltung zeigte sich allerdings dass viele der in PSpice verwendeten Bauteilgrößen nicht praxistauglich waren. Besonders bei der Dimensionierung der Tiefpässe führte erst ein mehrmaliges Austauschen der Testbauteile zum Erfolg. Auch nach der Berechnung des zweiten Spannungsteilers, der im Testaufbau funktionierte, mussten dann auf der fertigen Platine Widerstände ausgetauscht werden. Die Bauteiltoleranzen waren zu groß, die Referenzspannung lag dann knapp über 5V.

<http://www.hoelscher-hi.de/hendrik/light/analogdimmer.htm>

Der Dimmer an sich (Leistungsteile) Die Wahl fiel auf den Phasenanschnittsdimmer, da die Phasenabschnittssteuerung aufwendiger, sprich teurer ist und es wesentlich häufiger induktive als kapazitive Lasten gibt. Außerdem hätte ein Spannungsteiler einen zu schlechten Wirkungsgrad und stellt nicht wirklich eine Herausforderung dar. Die Pulsweitenmodulation wäre besser geeignet um Niederspannungslampen zu dimmen, indirekt wurde diese Technik aber in der Dimmersteuerung angewendet.

Eine weitere Suche nach der zu realisierenden Schaltung begann. Unter den möglichen Varianten wurde sich für die Standard-Phasenanschnittsdimmung entschieden, die durch eine Pulsweitenmodulation gesteuert werden sollte, die ihrerseits auf ein regulierbares 5V Signal der Logikgruppe reagiert.

Da ein Dimmer Oberwellen ins Netz abgibt, mussten die dafür herrschenden Bestimmungen eingesehen werden, die, weil sie VDE Vorschriften sind, hier nur zitiert werden können: Nach diesen müssen Dimmer mit einer Gesamtleistung von unter 1 KW nicht kompensiert werden. Dennoch wurde ein RC Glied zur Dämpfung von Oberwellen eingeplant

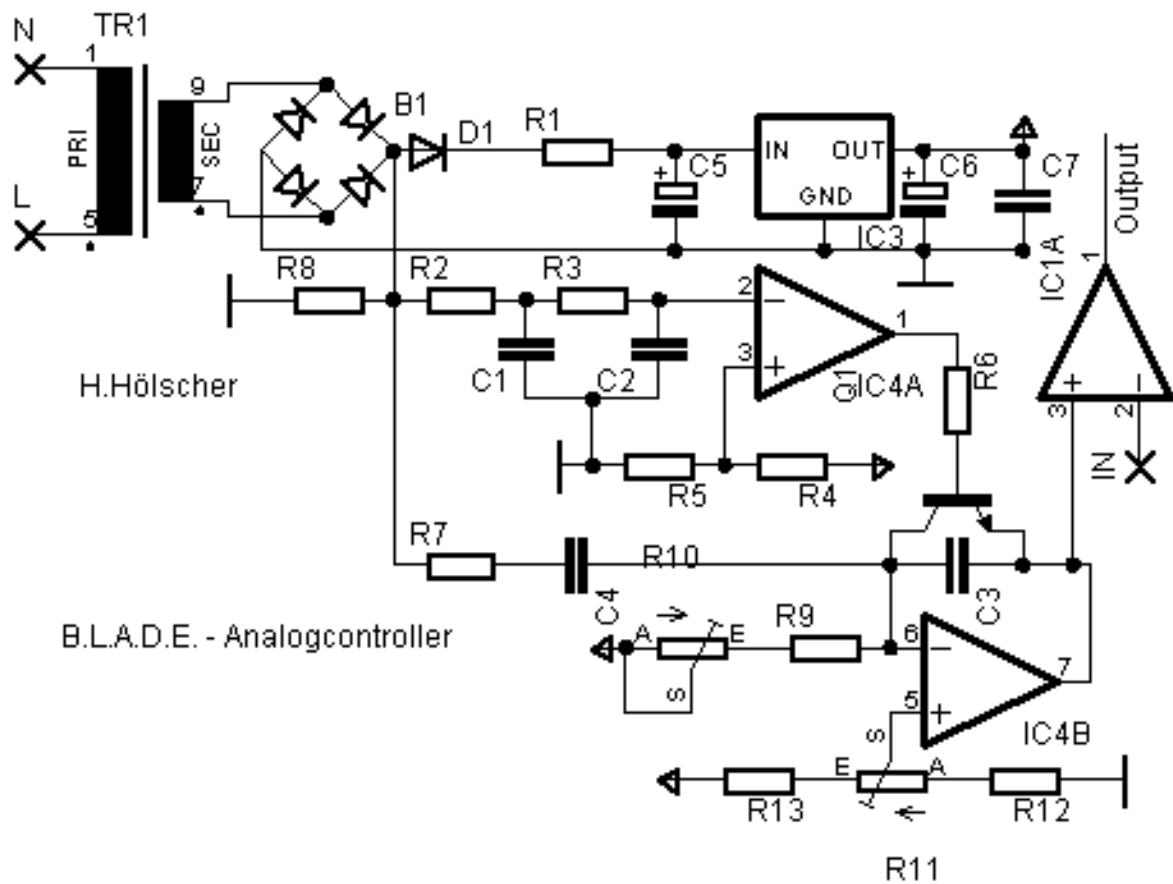


Abbildung 9.59: Originalschaltung

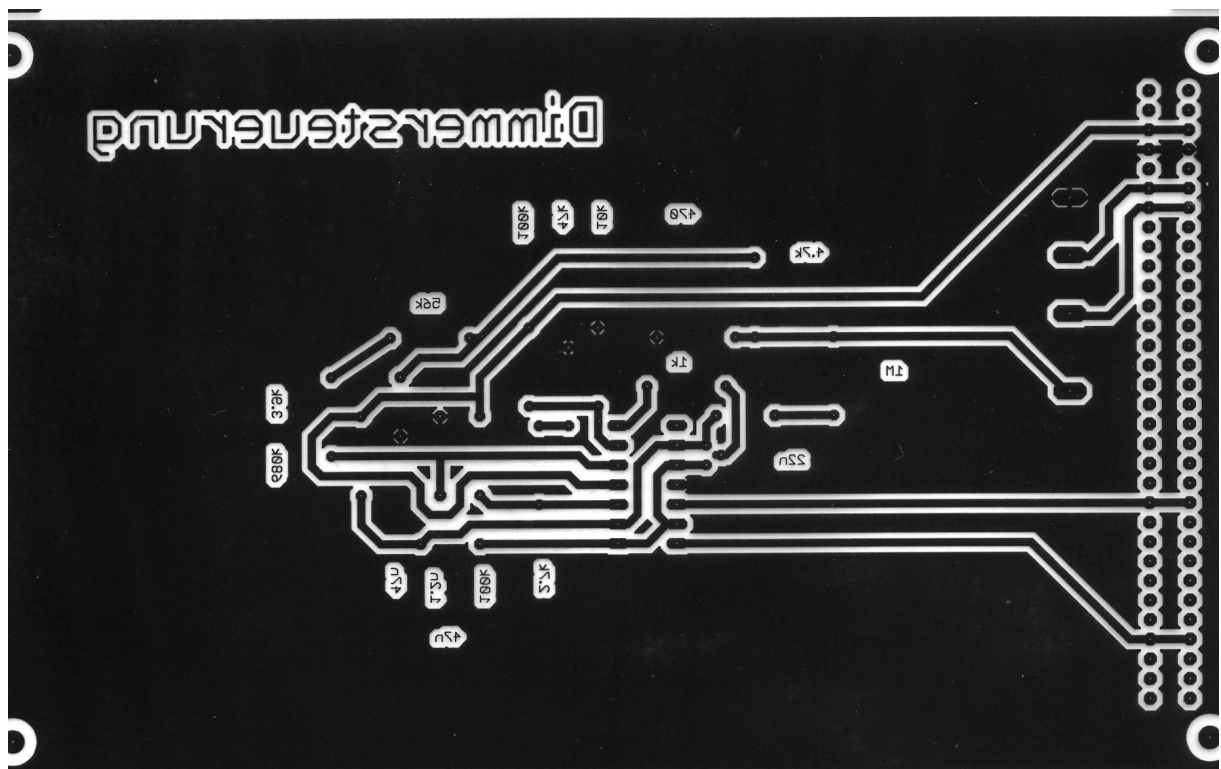
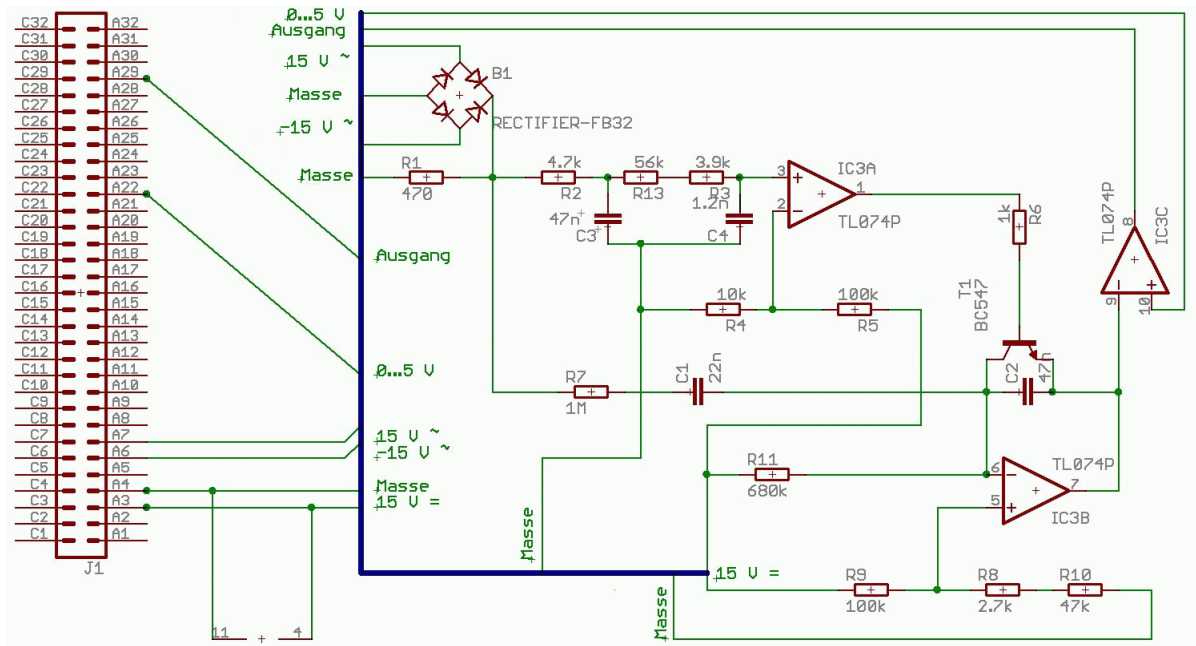


Abbildung 9.60: Eagle Layout Dimmersteuerung



und die gesamte Leistungseinheit in ein geerdetes Gehäuse gebaut, um die im Gesamtgehäuse befindlichen Niederspannungssignale möglichst nicht zu beeinflussen.

Nach den gewählten Vorgaben begann die Simulation in P-Spice. Diese simulierten Schaltpläne wurden anschließend in einem Testaufbau unter realen Bedingungen umgesetzt. Nachdem die auftretenden Unstimmigkeiten im Testaufbau angepasst wurden begann die Umsetzung der Schaltung in Eagle. Da die Schaltungen nicht allzu komplex sind verlief die Gestaltung der Platine ohne jegliche Probleme. Schließlich wurden die Bauteile auf die Platinen gelötet, die Anschlüsse zur Verbindung mit dem Gesamtsystem gelegt und der Leistungsteil in sein separates Gehäuse geschraubt.

Der Dimmer in PSpice Da es in PSpice keinen funktionierenden Optokoppler gab wurde dieser durch eine Rechteckquelle ersetzt. Vom Prinzip her bleibt die Funktion aber dieselbe. Der Triac “zündet“ bzw. schaltet durch, sobald ein Signal am Gate ankommt. Dieses Signal liefert hier also unsere Rechteckquelle. Im Realfall wird das Rechtecksignal natürlich vom Dimmercontroller geliefert. Schaltet der Triac also durch, schließt er die parallel liegenden Elemente kurz. C_3 und C_4 entladen sich. Gleichzeitig fällt also die gesamte, anliegende Spannung über R_1 ab. Im Realfall also der Lampe.

Die 3 Diagramme zeigen Simulationsergebnisse mit unterschiedlichen Eingangssignalen, über welche letztendlich der Phasenanschnitt gesteuert wird. R_1 symbolisiert in unserem Fall eine normale Glühbirne. An der grünen Kennlinie können Sie die Wirkleistung des Dimmers ablesen. Im ersten Diagramm ist der Dimmer fast vollständig “aufgedreht“, im letzten dagegen “dimmt“ er sehr stark.

Die generelle Funktion des Phasenanschnittes: Beim Phasenanschnitt wird der bei uns als Rechteckspannungsquelle simulierte Optodiac genutzt um den Triac zu steuern. Der Triac sperrt solange, bis über den Optodiac das Gate des Triacs geschaltet wird. Der Optokoppler wird von dem weiter oben beschriebenen Dimmercontroller beschalten. Wenn der Triac schaltet fließt ein Strom und die Spannung fällt an der Last ab, so dass die Lampe leuchtet. Damit die Schaltung funktioniert muss der Dimmer und der Controller den selben Phasennulldurchgang haben, da der Durchgang des

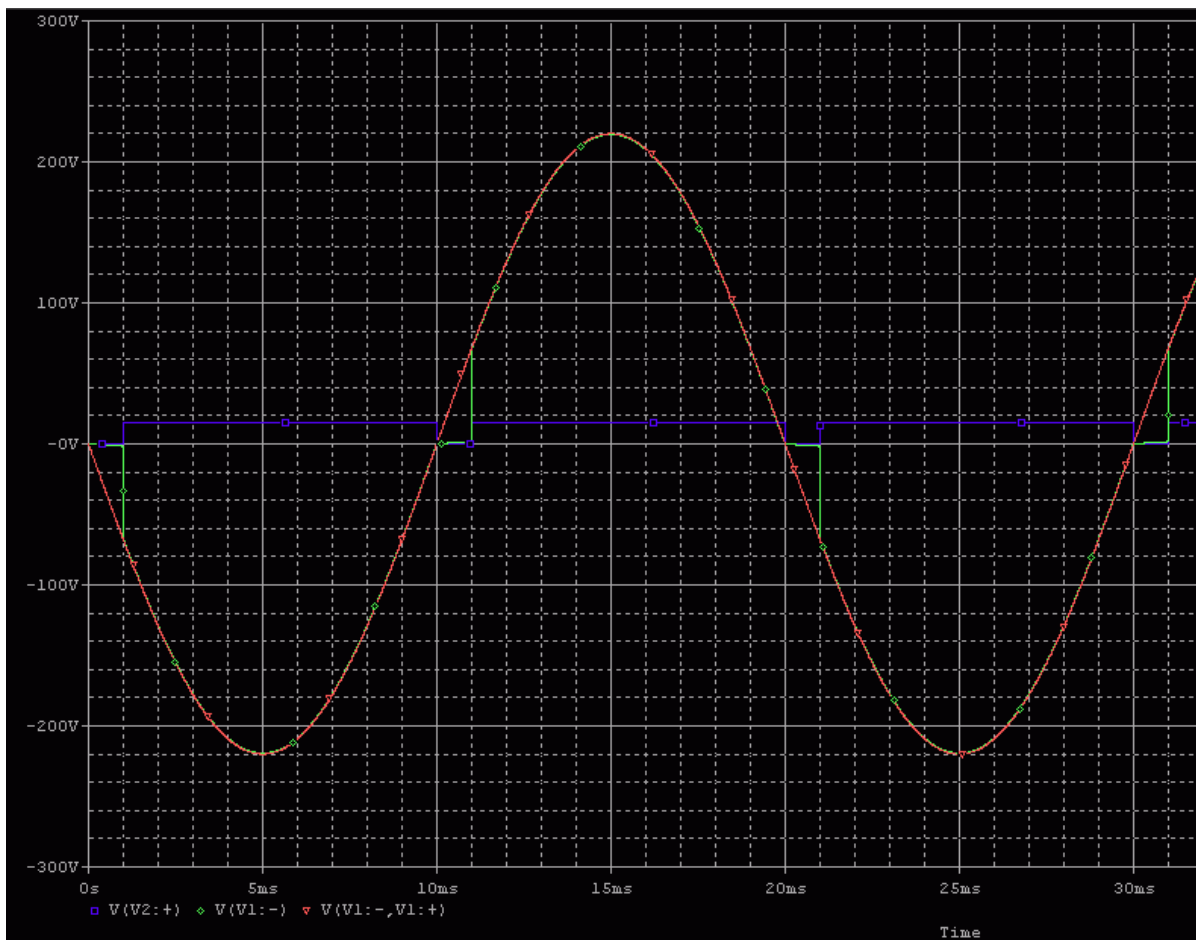


Abbildung 9.63: Phasenanschnitt (schwach gedimmt)

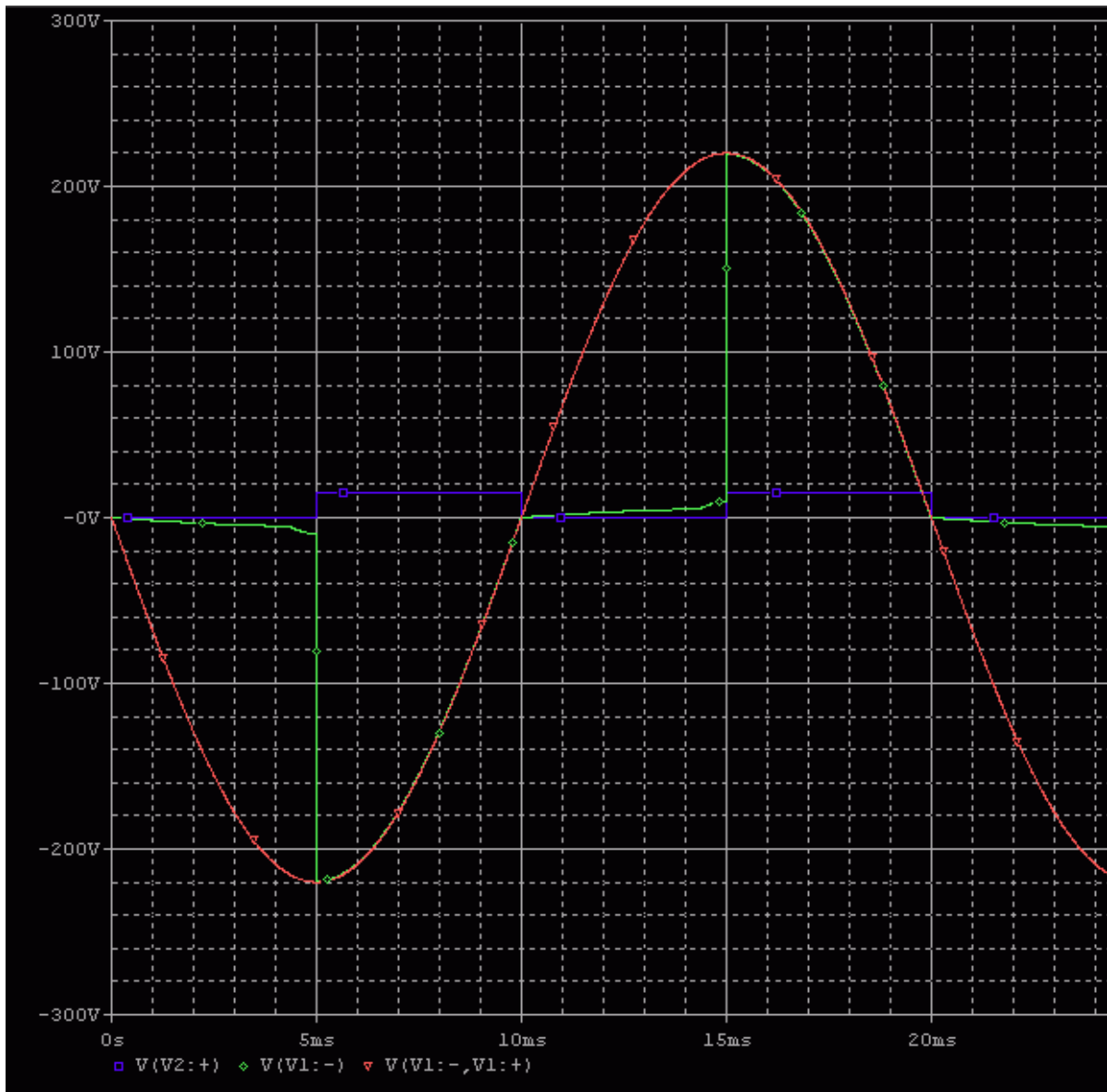


Abbildung 9.64: Phasenanschnitt (50% gedimmt)

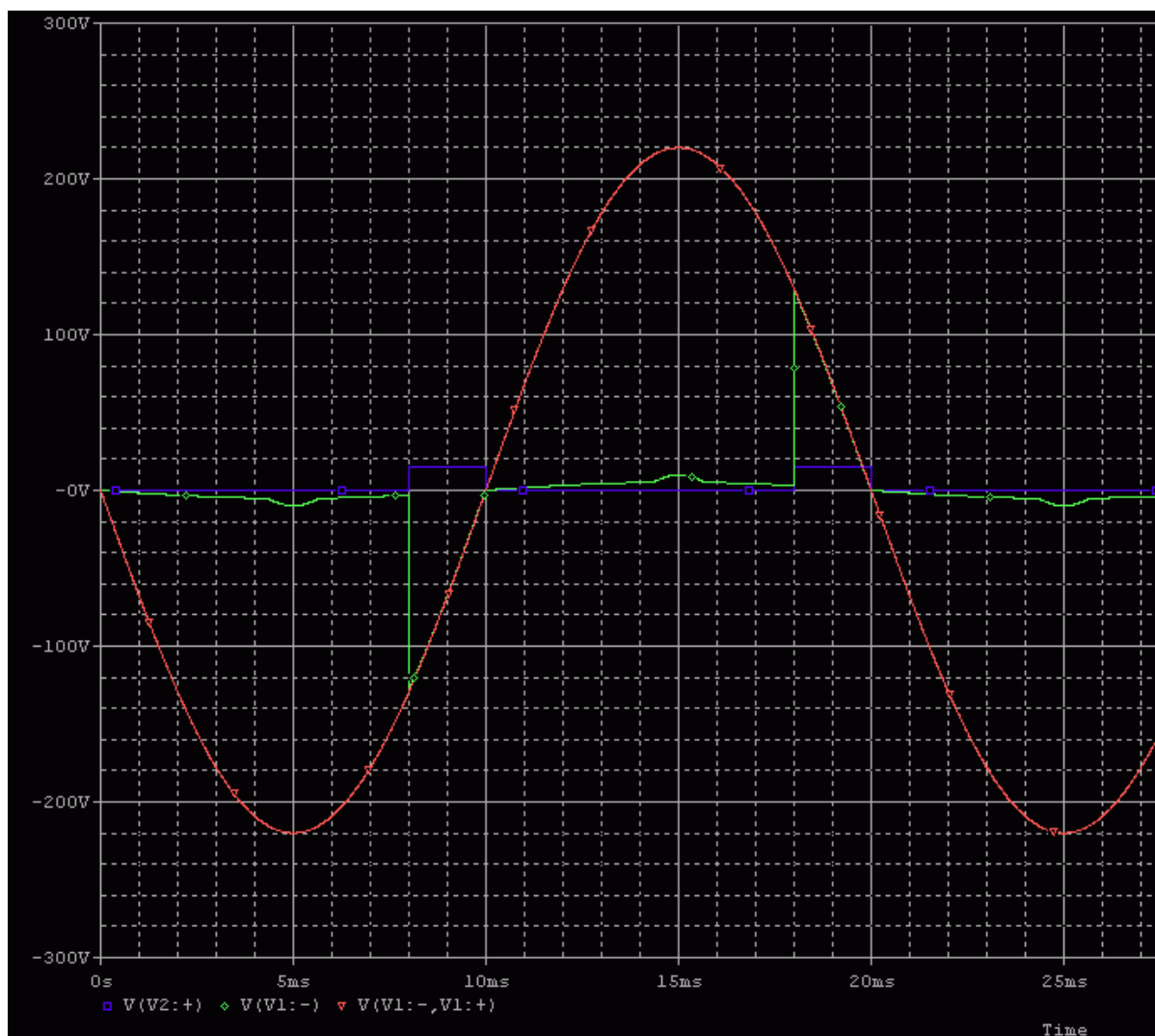


Abbildung 9.65: Phasenanschnitt (stark gedimmt)

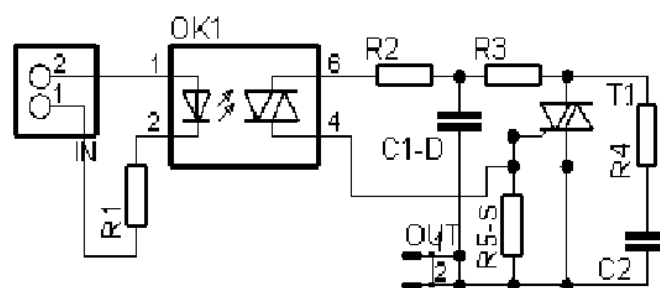


Abbildung 9.66: Schaltplan Dimmer

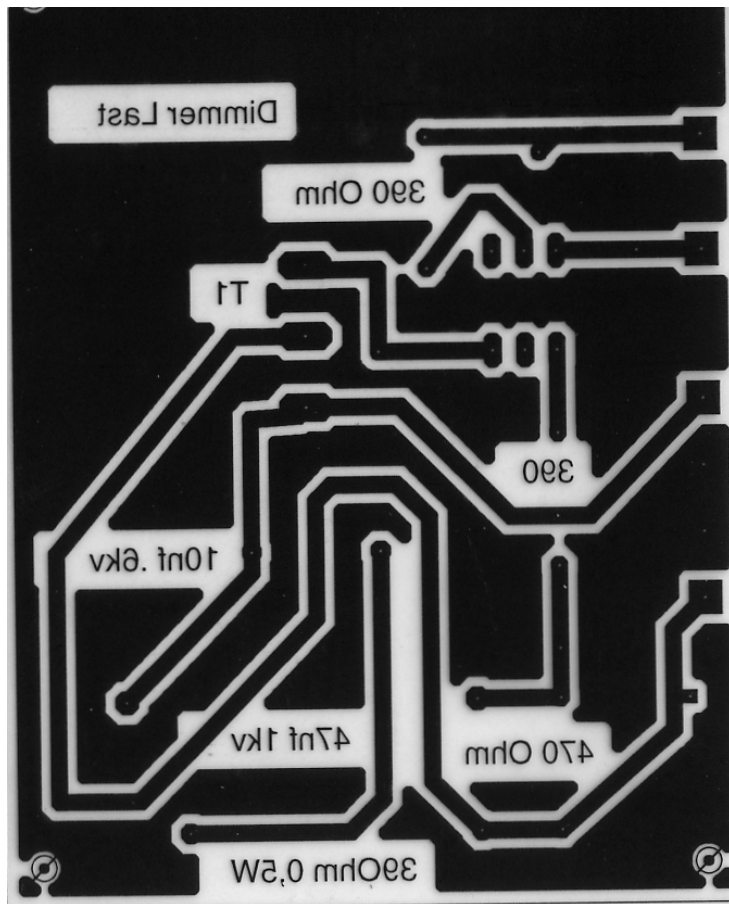


Abbildung 9.67: Eagellayout Dimmer

Triacs und des Diacs im Nulldurchgang “zurückgesetzt“ werden. Die RC Glieder sind zur Entstörung der Oberwellen.

Dokumentation der Entwicklung des Dimmercontrollers Zunächst wurden die verschiedenen Dimmertypen (s.o.) an Hand von Referaten diskutiert und miteinander verglichen. Phasenanschnitt beste Variante für unsere Zwecke. Zuerst begann die Recherche im Internet. Viele einfache Dimmerschaltungen wurden gefunden, jedoch keine die mit einem Spannungssignal steuerbar war. Also suchten wir parallel zum Dimmer einen Analogcontroller und fanden diesen auch.

Folgende Änderungen mussten an dieser Anologschaltung vorgenommen werden:

- Versorgungswechselspannung gleichrichten
- Schaltung auf 15 Volt Gleichspannung umdimensionieren
- Steuerung über ein 0 bis 5 Volt Signal realisieren

Viele Bauteile waren in der Standardbibliothek von PSpice nicht vorhanden, was massive Probleme verursachte. Bauteile mussten daher für unsere Zwecke neu dimensioniert werden. Desweiteren war die Schaltung zu komplex um sie mit der Studentenversion zu simulieren.

Bei der Simulation kam es häufig vor, dass Schaltungsabschnitte sich erst einmal einschwingen mussten. Dies kann teilweise auch in unseren Diagrammen beobachtet werden. Um das Schwingungsverhalten in Grenzen zu halten, wurden viele Widerstände und Kondensatoren geändert, die Originalschaltung aus dem Internet war ja auf eine ganz andere Versorgungsspannung dimensioniert.

Testaufbau Erstes Problem war, dass wir keine passende 15V AC-Quelle fanden. Unter diesen Umständen wurde ein altes 16V AC Steckernetzteil ersatzweise benutzt.

Daraufhin wurden einzelne Stufen der Schaltung nach und nach aufgebaut und getestet.

Erneut mussten viele Widerstände bzw. Kondensatoren geändert werden um in der Realität die Schaltung zum funktionieren zu bringen.

Als elementarstes Problem stellte sich nun heraus, dass unsere OPVs eine Restspannung am Ausgang lieferten. Nach langen Diskussionen kamen wir

zu der, in unserem Fall, gescheitesten Lösung: Wir baten die Logikgruppe uns ein Dimmer-Signal von 1.9 bis 5 Volt zu schicken. Zufrieden konnten wir danach feststellen, dass der Dimmer einwandfrei funktionierte.

Im weiteren Verlauf machten wir uns an das Eagle-Layout

Beim Belichten, Ätzen und Bohren der Platine traten keinerlei Probleme auf.

Die Bauteile wurden eingelötet und natürlich funktionierte die Schaltung... nicht. :)

Der Fehler wurde schnell gefunden und behoben. Wir hatten am ersten OP zwei Eingänge vertauscht. Nachdem dies korrigiert wurde funktionierte der Dimmer soweit. Allerdings lag die maximal nötige Signalspannung über 5 Volt. Nachdem ein Spannungsteiler neu berechnet, und der verantwortliche Widerstand ausgetauscht wurde erfüllte die Schaltung alle gestellten Anforderungen.

Wartung der Schaltung Die Schaltung ist weitgehend wartungsfrei. Da der IC auf einem Sockel montiert wurde, kann er bei Defekt schnell ausgetauscht werden. Für eine andere Signalspannung müssen lediglich die Widerstände R_8 , R_9 und R_{10} geändert werden, da diese den Maximalwert der Sägezahnspannung bestimmen. Es wurden keine beweglichen Teile und somit auch keine Verschleißteile verbaut.

B_1	RECTIFIER-FB32 (Brückengleichrichter)
C_1	22nF
C_2	47nF
C_3	47nF
C_4	1.2n
IC_3	TL074P OPV
R_1	470 Ω
R_2	4.7k Ω
R_3	3.9k Ω
R_4	10k Ω
R_5	100k Ω
R_6	1k Ω
R_7	1M Ω
R_8	1.8k Ω
R_9	100k Ω
R_{10}	47k Ω
R_{11}	680k Ω
R_{13}	56k Ω
T_1	BC547

Tabelle 9.20: Bauelementeliste der Dimmer Schaltung

9.3.2 Standbyerkennung

Die Grundidee für die Entwicklung einer Standby-Schaltung war der bei vielen Geräten unerwünschte Strom im Standbyzustand. Es sollte eine Schaltung entwickelt werden, die den zu einem Gerät fließenden Strom misst, auswertet und eine Inaktivitätszeitkonstante berücksichtigt. Im Falle einer Erkennung eines Standbystromes sollte dann die Stromzufuhr getrennt werden. Dazu soll unsere Schaltung ein 5V Signal an die Logik liefern, wenn das Gerät in Betrieb ist (Strom ist grösser dem Schwellwert), oder die Zeit seit Erkennung der Schwellwertunterschreitung ist zu kurz. Andernfalls sollen 0 Volt als Ausgangssignal anliegen. Eine Reaktivierung (zurücksetzen der Zeit) sollte zudem mit einem Signal der Logik möglich sein. Ziel unserer Teilgruppe war es, eine solche Schaltung für den Power Tower herzustellen.

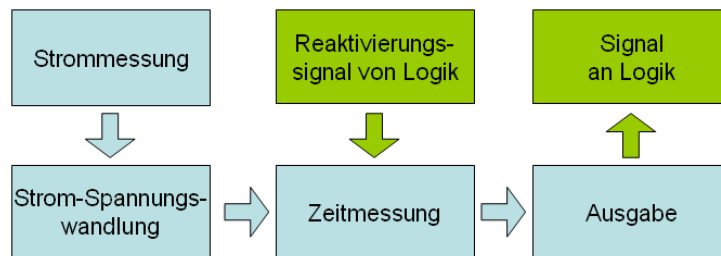


Abbildung 9.68: Blockschaltbild Standby

Verschiedene Konzepte Das erste Konzept zur Realisierung einer Stromerkennung war eine Diodenschaltung und anschließender Durchschaltung eines Transistors. Dadurch war es wiederum möglich ein Relais zu schalten.

<http://www.elektronik-kompodium.de/public/schaerer/tvoff.htm>

Die gesamte Schaltung basierte auf 230V und benötigte keine 15 V Betriebsspannung. Doch schnell wurde uns klar, dass es aus Sicherheits- und Testgründen besser war die Schaltung auf 15 V zu begrenzen.

Das zweite Konzept war nun auf 15 V begrenzt, doch es war nicht möglich eine Potentialtrennung durch Optokoppler zu gewährleisten, ohne dadurch das Messergebnis der Diodenschaltung aufgrund der großen Toleranzen von Optokoppler zu verfälschen.

Prof.-Dr. Krumm, bot uns eine weitere Möglichkeit der Strommessung durch einen Wechselstromwandler an. Dadurch war es uns möglich, trotz Potentialtrennung einen exakt einstellbaren Übergang zwischen Stand-By-Erkennung und Normalbetrieb zu erzeugen.

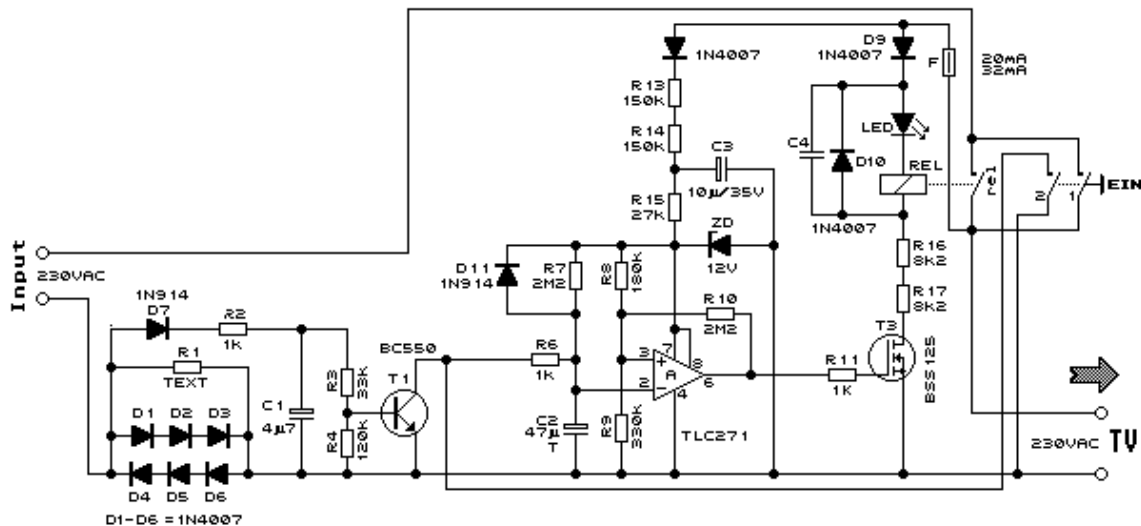


Abbildung 9.69: Originalschaltplan

Theorie der Schaltung Zur Darlegung der Theorie der Schaltung für die Standbyerkennung ist es sinnvoll, die Schaltung in 4 Bereiche aufzuteilen: Strommessung, Symmetrisierung, Aktivierung und Ausgang.

1. Strommessung: Bei der Strommessung (Abbildung 9.70) wurde der Draht mit dem zu messenden Strom durch eine Spule gelegt. Diese Spule besteht aus einem Eisenkern mit 100 Wicklungen Kupferdraht. Fließt nun ein Strom durch das Kabel, so erzeugt dieser ein magnetisches Feld. Dieses magnetische Feld induziert wiederum ein Strom in der Spule. Der induzierte Strom ist in unserer Schaltung etwa ein hundertstel des ursprünglichen Stromes groß. Durch den darauffolgenden Operationsverstärker in invertierender Schaltung wird der sekundären Kurzschluss realisiert, wobei der gesamte Strom über den Widerstand R_1 fließt. Dadurch wird eine Spannung proportional zum induzierten Strom erzeugt, dabei wird das Verhältnis Strom-Spannung von R_1 bestimmt. Die beiden Dioden dienen als Schutz des OPV vor Zerstörung für den Fall, dass der Primärstrom fließt, ohne dass die Versorgungsspannung für die Auswerteschaltung eingeschaltet ist.

2. Symmetrisierung: Um den Gleichspannungsanteil, welcher durch die Offsetspannung des OPV's entsteht, zu eliminieren, wird ein Koppelkondensator verwendet. Da nur die positive Halbwelle weiterhin verwendet werden soll, werden die Halbwellen über die Dioden getrennt. Nach der Diode für die positive Halbwelle D_{15} folgt ein Siebkondensator C_3 mit ei-

nem Vorwiderstand R_{19} . Über einen Spannungsteiler schließlich wird der Basisstrom zur Steuerung des Transistors geliefert. Bei ausreichendem Basisstrom wird dann das Potential des Zeitkondensators C_4 gegen Null gezogen.

3. Aktivierung: Zur Trennung der digitalen von der analogen Masse, wird ein Optokoppler zur Aktivierung der Standby Erkennung durch das Fernbedienungssignal benutzt. Der im Optokoppler vorhandene Transistor erfüllt hierbei die gleiche Funktion wie der Transistor in Punkt 2 (Symmetriesierung).

4. Ausgang: Liegt kein Aktivierungssignal vor und wird kein Strom gemessen, lädt sich der Kondensator C_4 auf. Nach einer gewissen Zeit wird dann die Referenzspannung U_{Ref} durch die Spannung am Kondensator überschritten und der OPV ändert sein Ausgangssignal auf nahezu negative Betriebsspannung (ca.-15V). Wird nun der Kondensator entladen (Aktivierungssignal oder Signal aus der Strommessung), wechselt das Ausgangssignal des OPV's wieder auf nahezu positive Betriebsspannung (ca. +15V). Da ein digitales Signal geliefert werden soll, wird ein Optokoppler angesteuert, welcher (ungefähr) 0 oder 5V gegen digitale Masse mittels Emitterschaltung liefert.

verschiedene Konzepte und Fehler Zwar stand das Grundkonzept von Anfang an fest, jedoch mussten wir trotzdem einige notdürftige Veränderungen vornehmen. Einerseits sah unsere Schaltung ursprünglich vor, die Standbystromerkennung mit einem Netzwerk aus Dioden zu realisieren. Dieses würde jedoch bedeuten, dass unsere Schaltung einer Eingangsspannung von 230V ausgesetzt wäre. Um dieser potentiellen Gefahr zu entgehen, haben wir die Standbystromerkennung mittels Induktion einer Leiterschleife realisiert. Die um den zu messenden Draht gelegte Ringspule, induziert nun ein Strom der um das hundertfache kleiner ist als der zu messende Strom. Andererseits mussten wir einige Optokoppler zusätzlich in die Schaltung integrieren, um die Massen von einander zu trennen. Digitale Bauelemente reagieren äußerst empfindlich auf kleine Änderungen der Spannung. Leistungsbauteile wie zum Beispiel Relais verursachen im Moment des Schaltvorganges eine kurzzeitige Rückführung auf das Gesamtnetz, welches bei gleicher Masse mit digitalen Bauelementen zu eventuellen Schaltvorgängen der digitalen Bauelementen führen könnte. Die Betriebsspannung wurde von ursprünglichen 12V auf 15V gehoben.

Dies führte eine neue Dimensionierung vieler Bauelemente mit sich. Ein gefordertes Aktivierungssignal von der Gruppe Logik wurde nachträglich in die Schaltung eingearbeitet. Auch trat ein Fehler beim ätzen der Platinen im Ätzlabor auf. Nach einer Ungenauigkeit beim Auflegen der Folie, wurden eine Platine falsch belichtet und konnte damit für uns nicht mehr gebraucht werden.

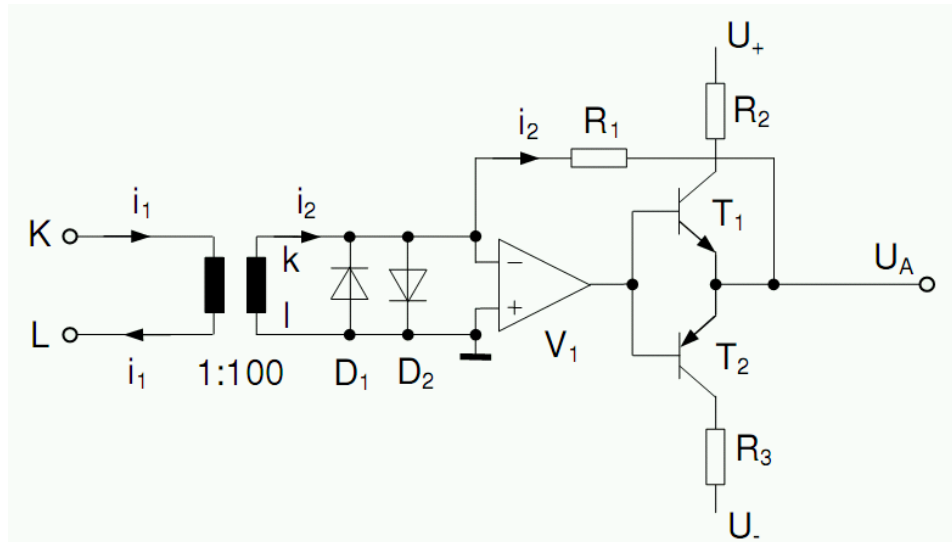


Abbildung 9.70: Strommessung mit Wechselstromwandler

Simulation Pspice Die Simulation mit Pspice zeigte zunächst nicht den gewünschten Erfolg, so wie wir es vorher berechnet und dimensioniert hatten. Es stellte sich jedoch heraus, dass wir lediglich den falschen Operationsverstärker (OPV) verwendeten. Mit dem LM324, den wir aus Energiegründen in der Praxis nicht verwenden wollten, klappte dann die Simulation auf Anhieb. In Abbildung 9.71 und 9.72 wird die Komparatorschaltung (Vergleich der Spannung am Kondensator C_4 mit der Referenzspannung U_{Ref}) mit Zeitverzögerung simuliert. Je nachdem wie groß letztendlich der Kondensator gewählt wird, variiert die Zeitkonstante (Zeit die vergeht, zwischen Standby-Strom-wird-gemessen und dem Wechsel des Signals an die Logikgruppe) .

Berechnungen Da wir die Schaltung auf eine Schaltleistung von 30 Watt optimierten, ist der Strom der durch eine Spule induziert wird

$$I_2 = \frac{I_1 \cdot n_1}{n_2} = \frac{130mA \cdot 1}{100} = 1,3mA$$

Die Zeitverzögerungskonstante
 $\tau = R_{15} \cdot C_4 = 2M\Omega \cdot 47 = 94s$

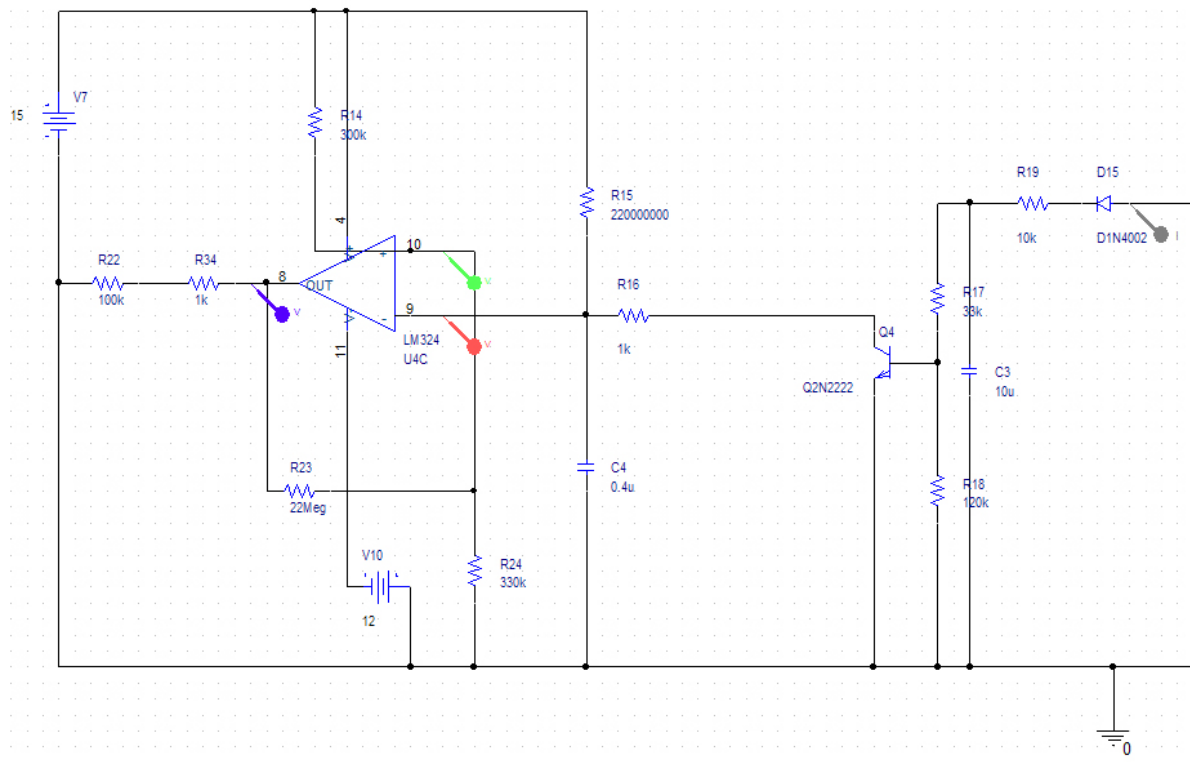


Abbildung 9.71: PSpice Schaltplan

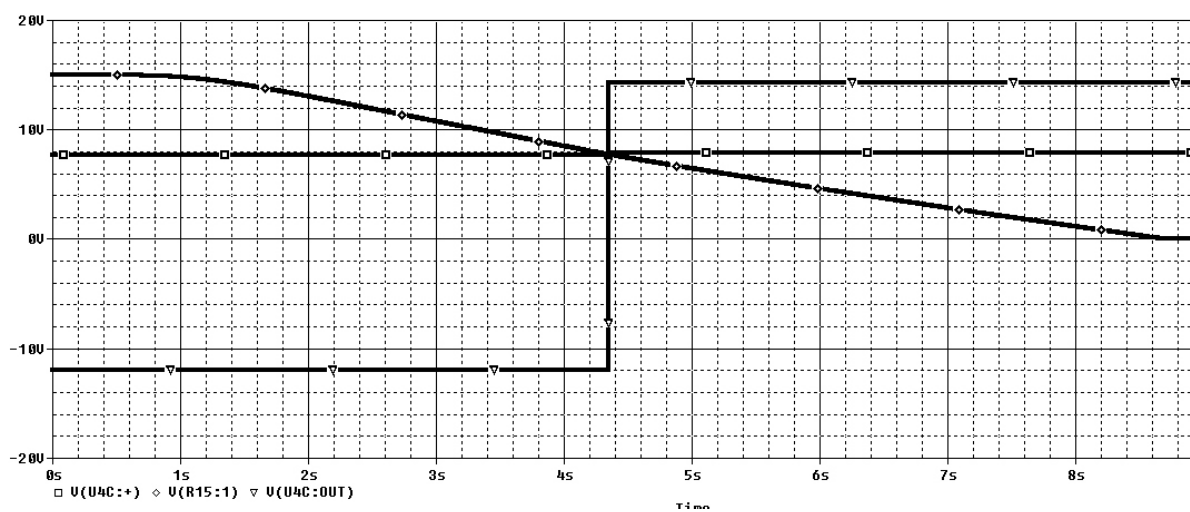


Abbildung 9.72: Simulation der Zeitverzögerung

Die Referenzspannung am 2. OPV

$$U_{Ref} = U_b \cdot \frac{R_{24}}{R_{14} + R_{24}} - U_{B-} = 15V \cdot \frac{330k\Omega}{(180+330)k\Omega} = 9,7V$$

Eagle Layout Wir haben unsere Schaltung dann in Eagle übertragen und zunächst den Autorouter verwendet, mit folgendem Ergebnis: der Autorouter ist nicht immer eine Hilfe und die Bauteiledichte ist zu hoch (Abbildung 9.73)

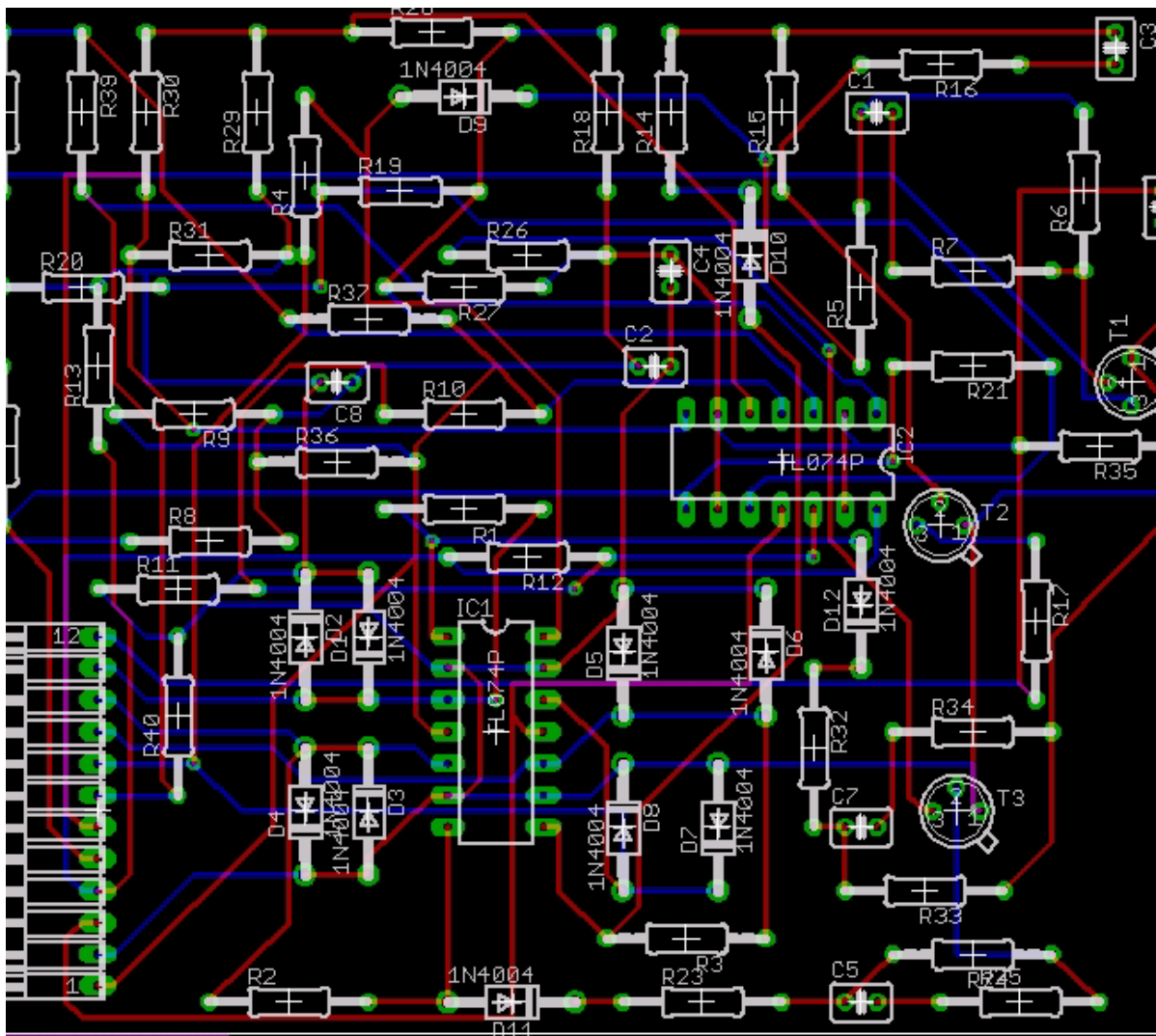


Abbildung 9.73: Autorouter?

Da wir zu viele Bauelemente verwenden mußten, haben wir uns dazu entschlossen die Schaltung auf zwei Europlatinen zu verwirklichen, die bis auf eine etwas andere Pinbelegung am Bus identisch sind. (Abbildung 9.74)

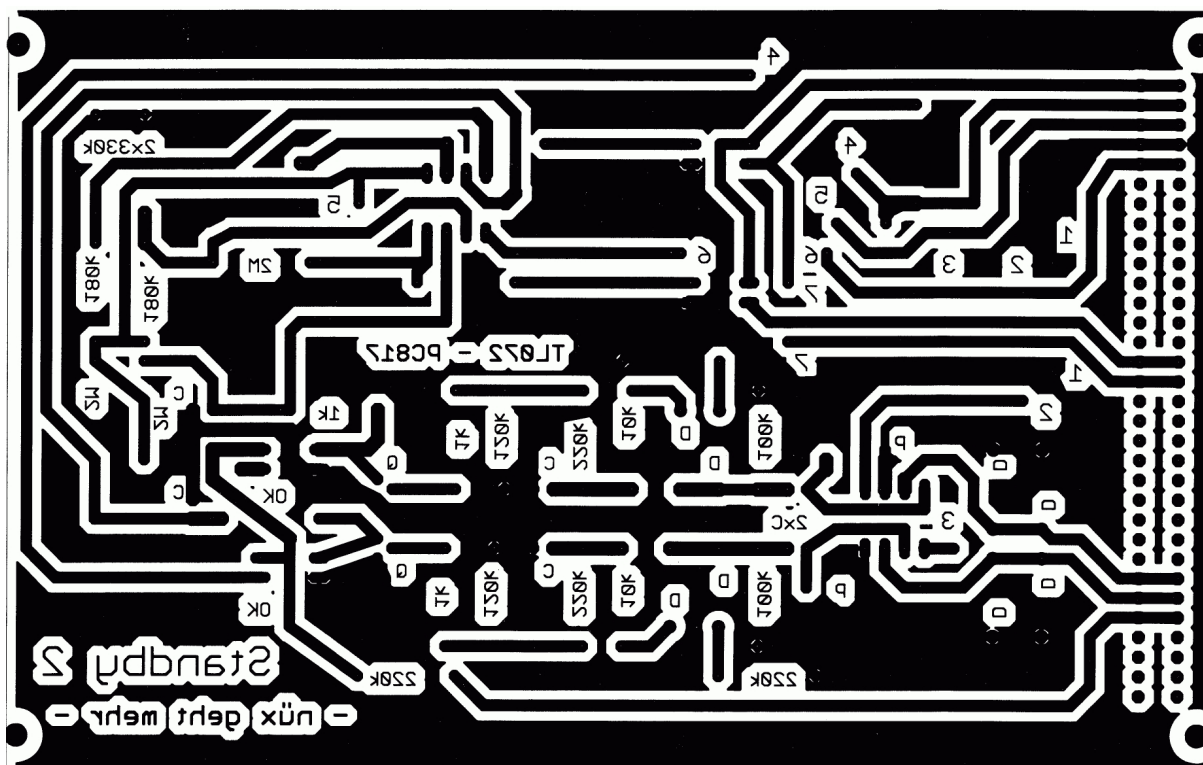


Abbildung 9.74: Egel Layout

Um mögliche Platzprobleme auf der Platine frühzeitig zu erkennen, benutzen wir zusätzlich das Programm “Eagle 3D“. (Abbildung 9.75 und 9.76)

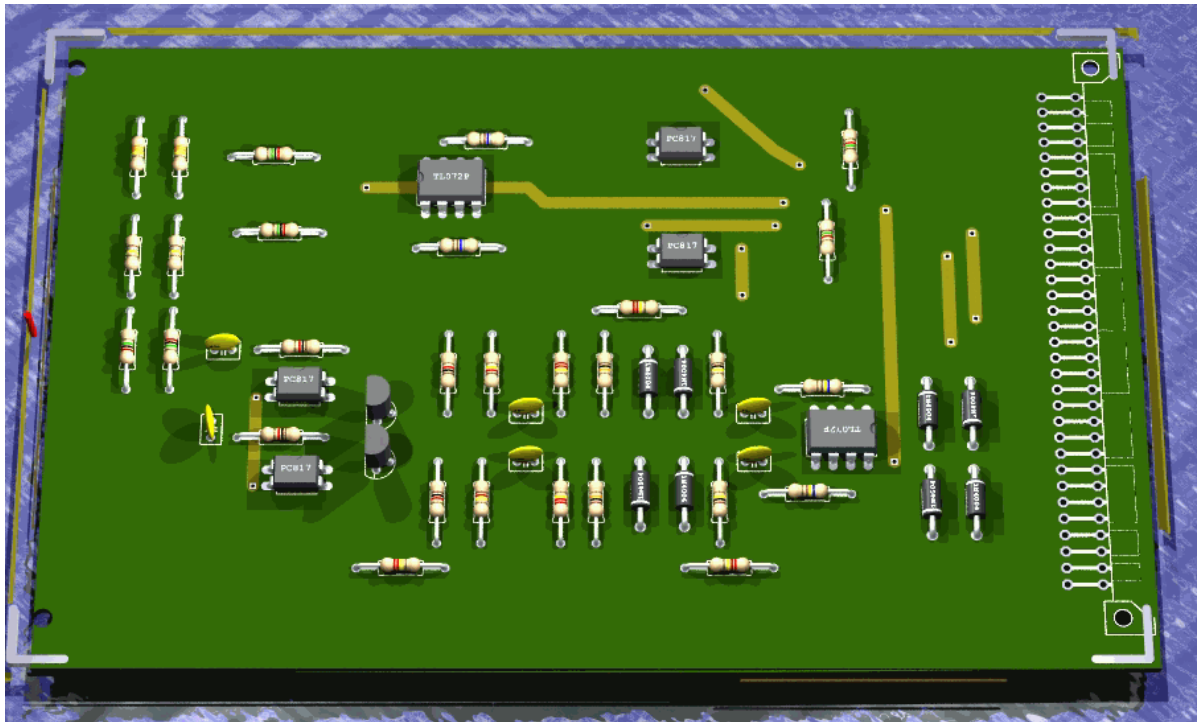


Abbildung 9.75: 3D-Platine Bestückungsseite

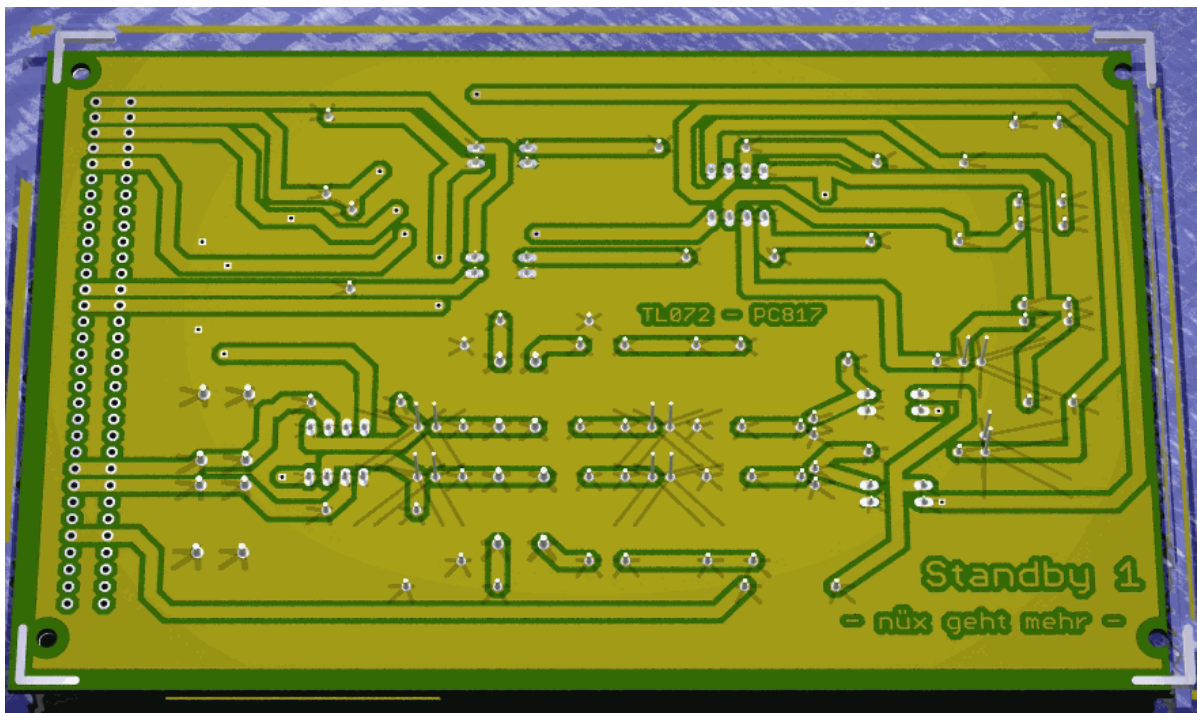


Abbildung 9.76: 3D-Platine Leiterbahnen

4	TL072 OPV
8	PC817 Optokoppler
16	N4004 Dioden
4	Kondensatoren 100 μ F Radial
4	Tantal-Kondensatoren 1 μ F
4	Kondensatoren 47 μ F
4	Transistoren BC547B
2	Europlatine
2	64Pin Busstecker
4	LED rot
4	Potentiometer 1k Ω
8	Widerstände 2M Ω
4	Widerstände 330k Ω
10	Widerstände 220k Ω
4	Widerstände 180k Ω
4	Widerstände 120k Ω
4	Widerstände 100k Ω
4	Widerstände 10k Ω
4	Widerstände 1,5k Ω
8	Widerstände 1k Ω
4	Widerstände 860 Ω
4	Widerstände 470 Ω
4	Ferritringe à 100 Wicklungen
5m	Isolierter Draht zum Wickeln

Tabelle 9.21: Bauelementeliste der Stand-By Schaltung

9.4 GRUPPE 4: MASTER UND ENERGIE

9.4.1 Spannungsaufbereitung

Überspannungsschutz Ein Überspannungsschutz in einer Steckdose soll primär die angeschlossenen Geräte, in unserem Fall aber auch die teilweise recht komplexen Schaltungen innerhalb unserer Steckdose vor Überspannungen schützen. In unserem Fall haben wir uns für einen Mittel-Schutz entschieden, welcher durch Varistoren ausreichend gewährleistet ist. Darüber hinaus werden Blitzstöße durch den Netzfilter wegen ihrer hohen Frequenzanteile abgeschirmt.

Netzfilter Der Netzfilter soll dafür sorgen, dass die Verbraucher an der Steckdose eine möglichst sinusförmige Spannung mit einer Frequenz von 50Hz geliefert bekommen.

Verschiedene Konzepte Bei der Recherche nach einer geeigneten Schaltung für unseren Netzfilter wurden wir recht schnell fündig. Wir entschieden uns für einen Tiefpass zweiter Ordnung, welcher sich als tauglich erwies und somit musste auch nichts geändert werden. Beim Überspannungsschutz lagen uns zunächst verschiedene Varianten vor. Wir diskutierten das Für und Wider eines Grobschutztes durch Endladungsstrecken, eines Mittelschutztes durch Varistoren, aber auch eines Feinschutztes mit Hilfe von Supressordioden. Letztendlich haben wir uns für den Mittelschutz entschieden. Ein Grobschutz ist nicht von Nöten, da dieser für gewöhnlich durch eine entsprechende Installation im Hausanschlusskasten vorhanden ist. Auch ein Feinschutz macht keinen wirklichen Sinn, da dieser eigentlich für die Stabilisierung von kleineren Spannungen vorgesehen ist. Des Weiteren haben wir nach ausgiebigen Tests festgestellt, dass unsere Schutzschaltung Spannungen bis $5kV$ problemlos bewältigen kann und somit als vollkommen ausreichend arbeitet. Darüber hinaus haben die Testergebnisse gezeigt, dass der Schutz bis mindestens $10kV$ wohl gewährleistet ist. Dies konnte jedoch nicht messtechnisch ermittelt werden, da die dafür notwendigen Gerätschaften nicht zur Verfügung standen.

Endgültige Schaltung Eine wirkliche Berechnung zur Dimensionierung war bei unserer Schaltung nicht von Nöten, da wir eine handelsübliche Standardschaltung verwendet haben. Nach diversen Tests, die wir mit der Standarddimensionierung durchgeführt haben, stellte sich heraus, dass der Netzfilter ohne Probleme funktioniert. Auch der Überspannungsschutz

war nicht durch besondere Berechnungen zu dimensionieren, da der Schutz durch größere Varistoren lediglich besser wurde. Also entschieden wir uns für zwei recht große Varianten und wurden in unserer Entscheidung durch die ausgiebigen Tests bestätigt.

Testreihe Überspannungsschutz Wir haben eine Testreihe zum Überspannungsschutz durchgeführt, in der mehrere Blitzstoßspannungen sowohl zwischen L und N als auch zwischen PE und L angelegt wurden. Die Ergebnisse waren äußerst erfolgreich, da insbesondere bei den Blitzstoßspannungen zwischen L und N eine extrem gute Funktion des Ü-Schutzes festgestellt werden konnte. Hierbei wurde eine Eingangsspannung von $5kV$ auf eine Ausgangsspannung von um die $170V$ begrenzt, welche die angeschlossenen Geräte auf keinen Fall zerstören würde. Ein Test mit Spannungen über $5kV$ konnte leider aus Sicherheitsgründen nicht durchgeführt werden, allerdings können wir uns ziemlich sicher sein, dass auch eine Stoßspannung von $10kV$ kein Problem für den Überspannungsschutz darstellen sollte.

Messdiagramme zur Testreihe Überspannungsschutz Beim Test wurde eine Spannung zwischen 1 und 5kV sowohl zwischen Phase und Neutralleiter als auch in einem weiteren Test zwischen Phase und Schutzleiter angelegt. Die Ausgangsspannung wurde um 60dB gedämpft, um eine Gefährdung von Messgeräten auszuschließen.

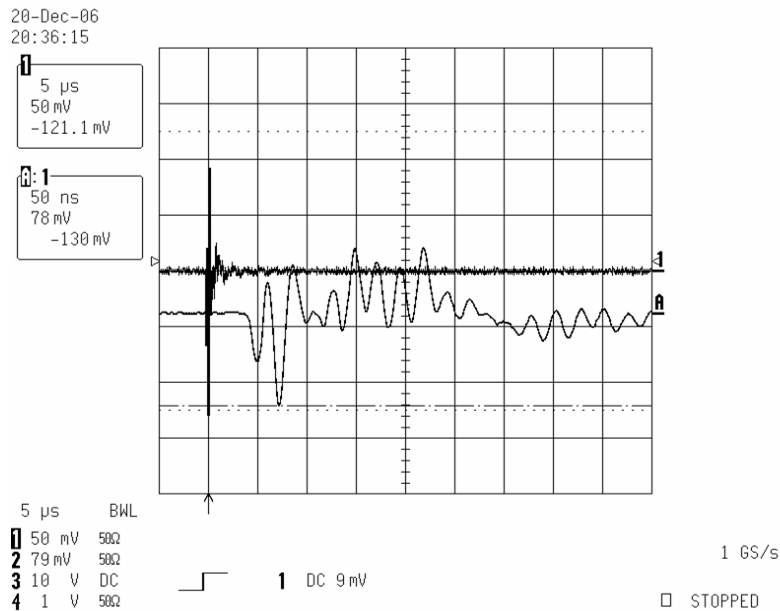


Abbildung 9.77: Phase - Neutralleiter (1kV)

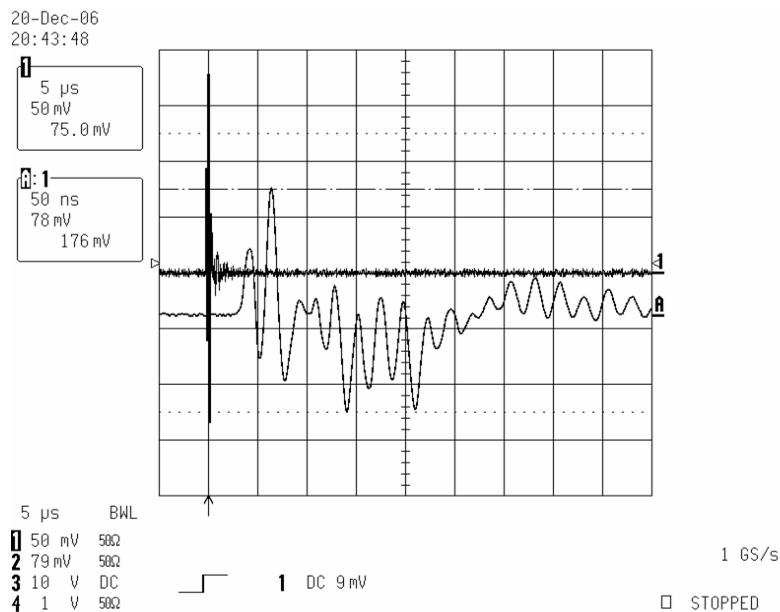


Abbildung 9.78: Phase - Neutralleiter (5kV)

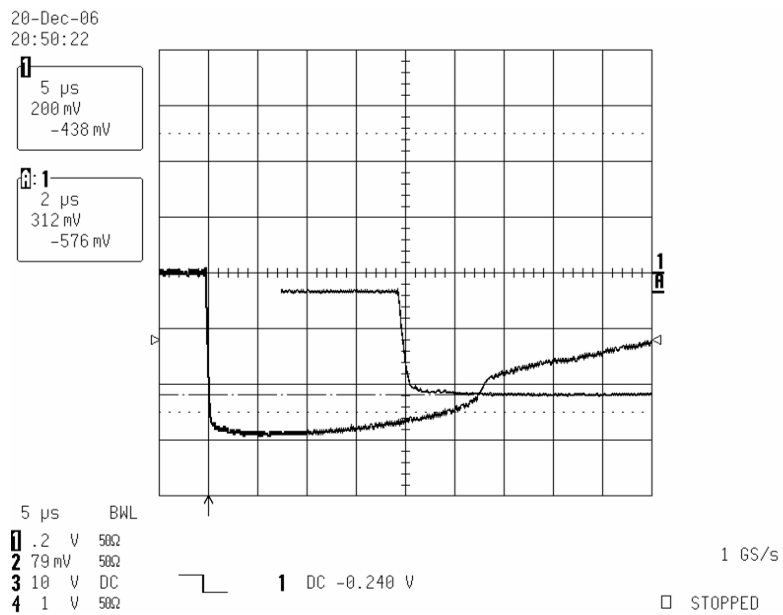


Abbildung 9.79: Phase - Schutzleiter (1kV)

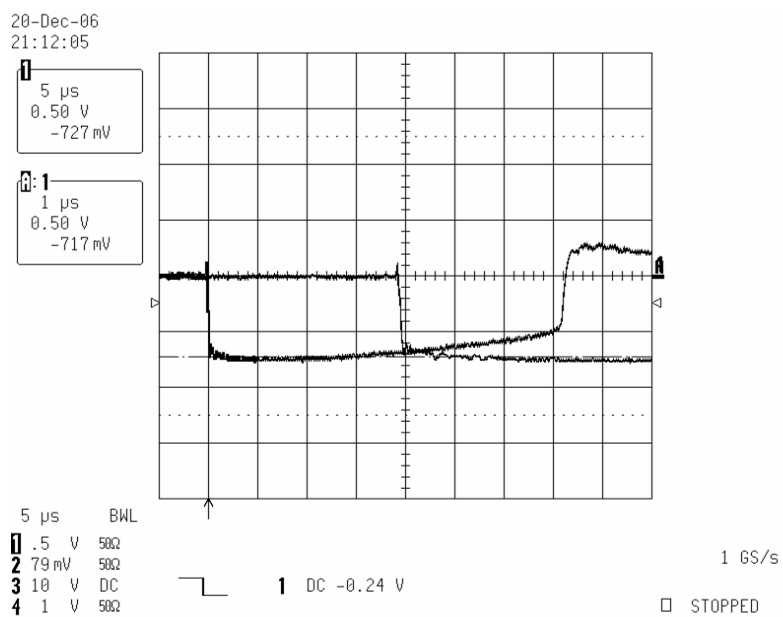


Abbildung 9.80: Phase - Schutzleiter (5kV)

Bodediagramm des Netzfilters Wir haben mit PSpice ein Bodediagramm der leicht belasteten Schaltung aufgenommen. Die Ergebnisse sind mit den Messergebnissen fast identisch. Wie man eindeutig erkennen kann, werden Frequenzen ab 300kHz sehr gut gefiltert. Damit ist die Funktion mehr als gewährleistet.

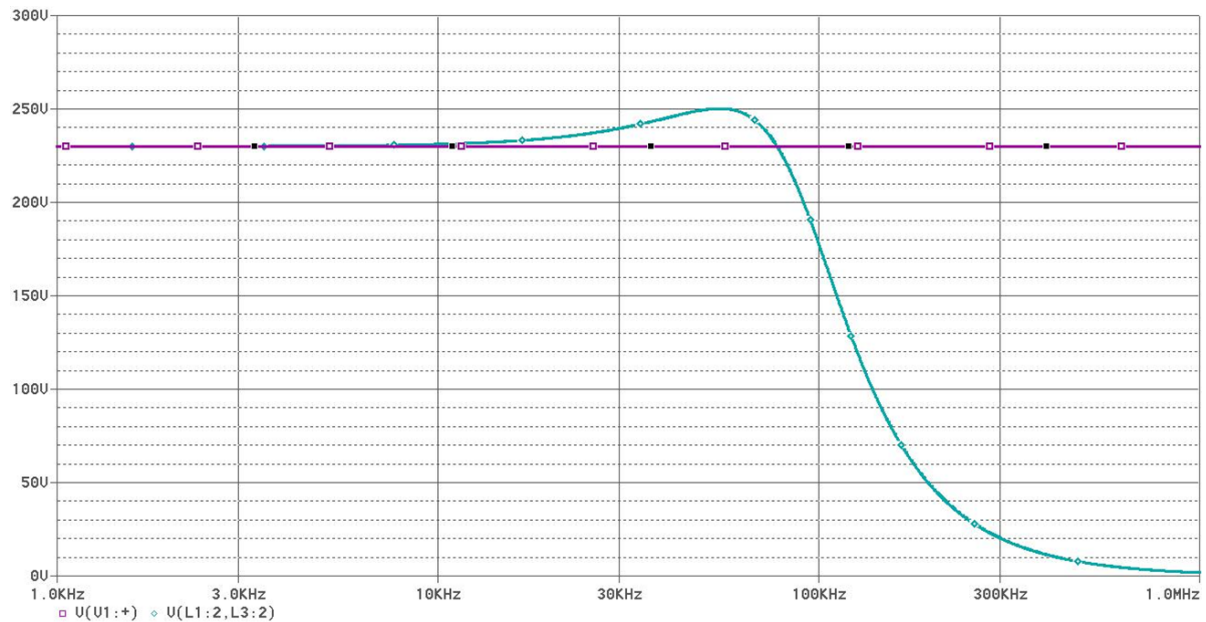


Abbildung 9.81: Bodediagramm Netzfilter

Schaltplan Da auf der Platine der Spannungs- und der Strommessung keine Netzspannung sein durfte, haben wir die Messspule und den Messtrafo dafür auf unserer Platine untergebracht.

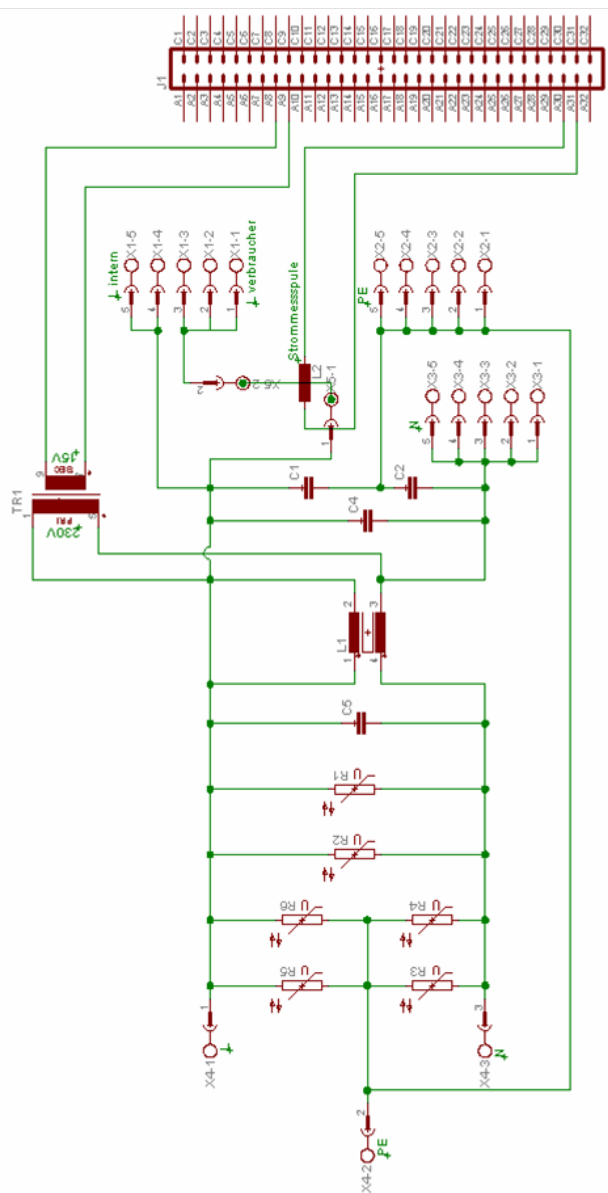


Abbildung 9.82: Schaltplan Netzfilter

Platinenlayout Da es einige Bauelemente, die auf unserem Board verbaut sind, in den Eagle-Bibliotheken nicht gab, haben wir an einigen Stellen lediglich Bauelemente mit passendem Rastermaß eingebaut. Die Widerstände R_9 und R_{10} sind hierbei für den Trafo, der für die Spannungsmessung benutzt wird. Der Widerstand R_7 ist für die Anschlussklemme, welche die Sekundärseite der Messspule für die Strommessung darstellt. Außerdem ist die Spule L_{11} auch nicht die Spule, welche tatsächlich für

den Netzfilter verwendet wird. Des Weiteren ist sie auch nicht korrekt angeschlossen, allerdings ließ sich das aufgrund der Rastermaße nicht verhindern.

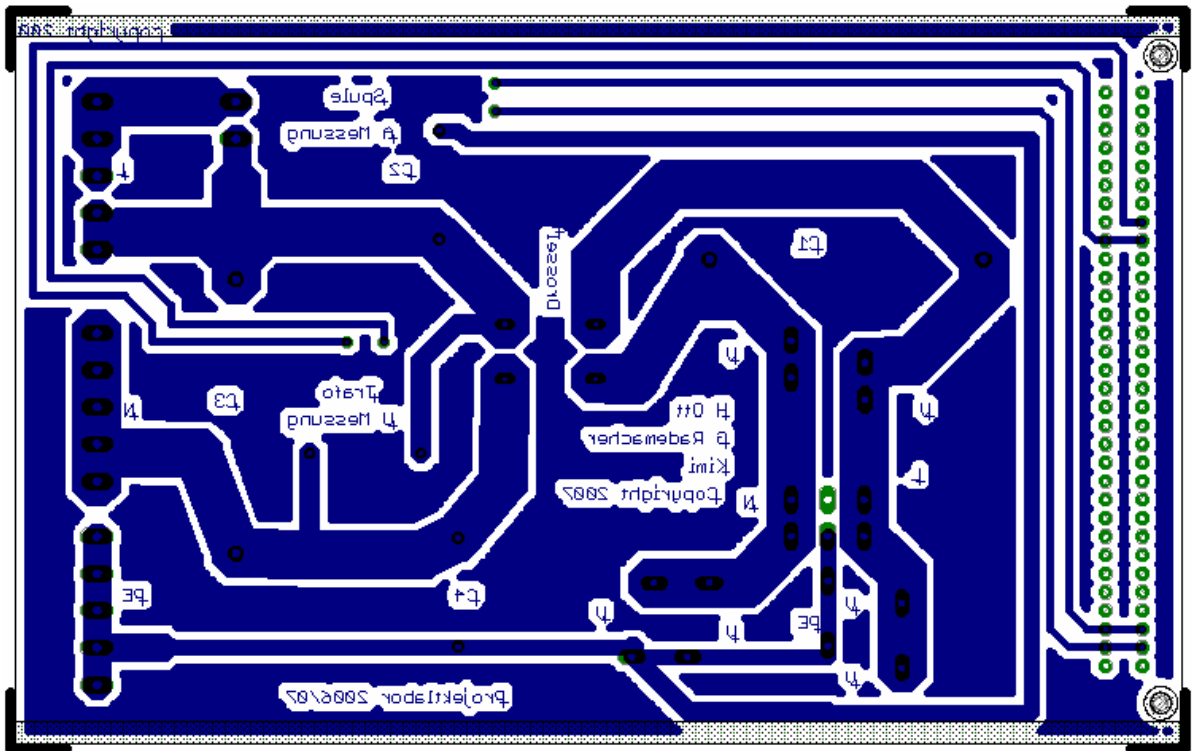


Abbildung 9.83: Platinenlayout Netzfilter

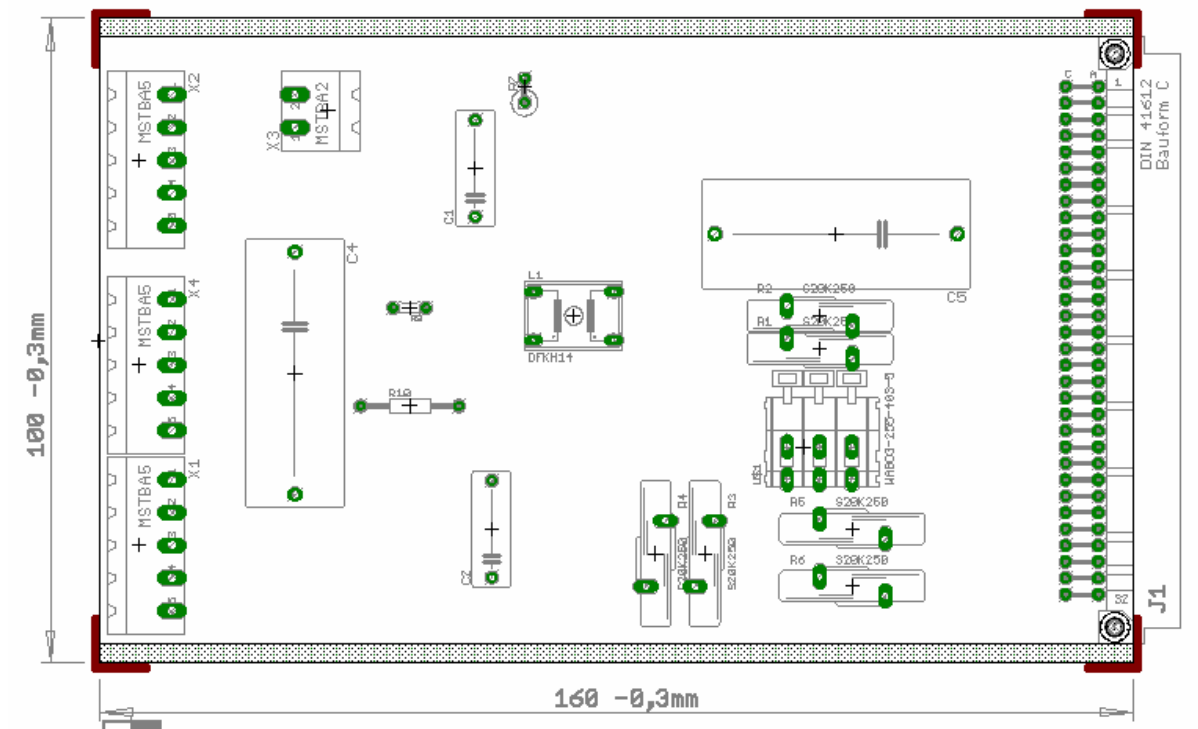


Abbildung 9.84: Bestückungsplan Netzfilter

Baulementliste $R_1 - R_6$: Varistor S20K250

L_1 : 2x Spule 1mH auf einem Kern, gegenläufig gewickelt (Drossel)

L_2 : Anschlussklemmen für die Strommessspule

3x 5er-Anschlussklemmen Phoenix (Ausgang)

1x 3er-Anschlussklemme Wago(Eingang)

C_1 : Kondensator $1\mu F$

C_2, C_4 : Kondensator $0,1\mu F$

C_5 : Kondensator $0,5\mu F$

TR_1 : Trafo 230V Pri $\rightarrow$ 15V sec. , max 0,6 Watt

9.4.2 V-A-Messung

Spannungsmessung Über eine analoge Anzeige soll am Gerät die Schwankung der Eingangsspannung abzulesen sein wobei der Bereich $230V \pm 10\%$ dargestellt werden soll.

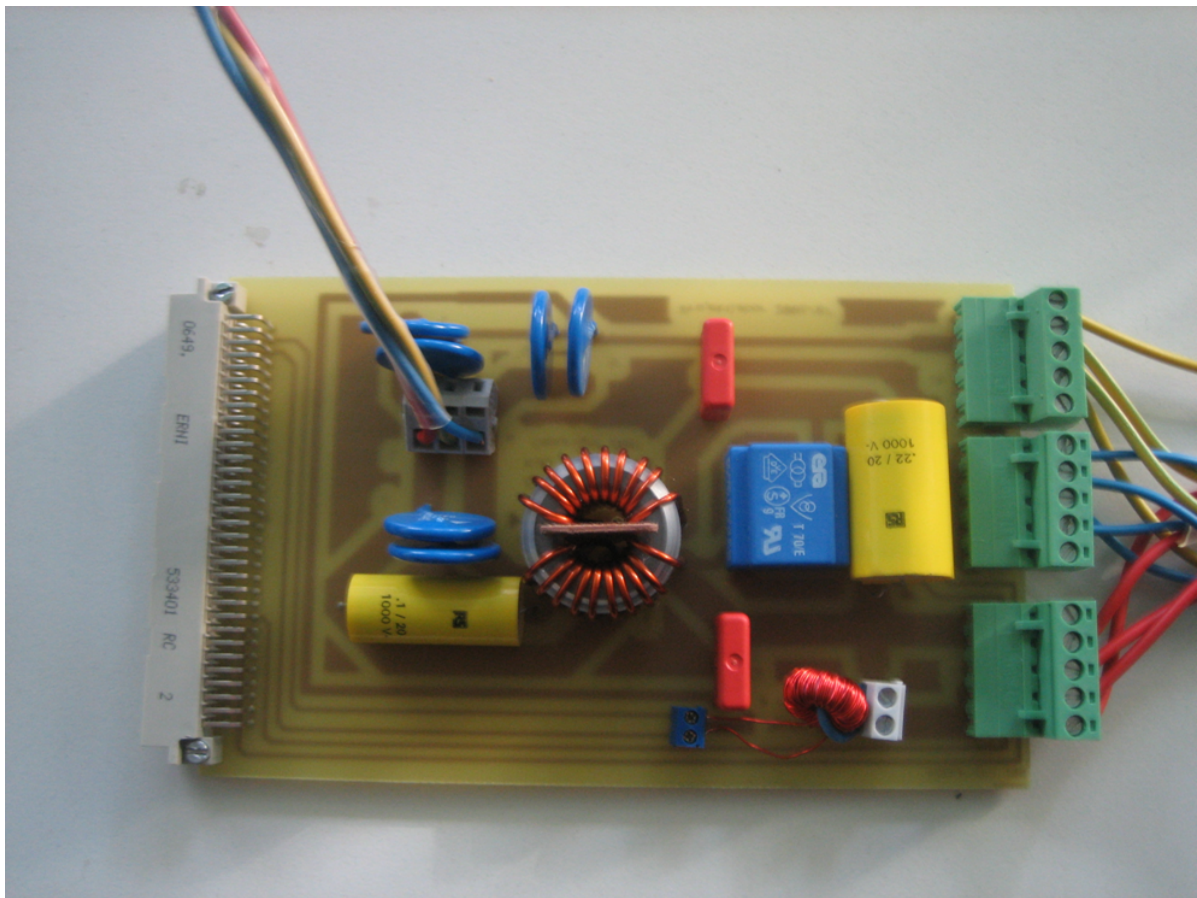


Abbildung 9.85: Foto Netzfilter

Strommessung Unser “Power-Tower“ sollte es ermöglichen verschiedene Geräte nicht nur zu betreiben, sondern sie auch auf unterschiedliche Weise anzusteuern. Meine Aufgabe bestand darin den Strom zu messen, den die verschieden, angeschlossenen Geräte verbrauchen und über eine analoge Anzeige darzustellen.

Schaltungserklärung Spannungsmessung Durch den Transformator wird die Spannung von $230V$ auf $15V$ heruntertransformiert. Der Gleichrichter dient dazu, nur positive Halbwellen zu erhalten. Dann benutzt man einen Tiefpass um die Spannung zu glätten. Einer der OPVs ist als Impedanzwandler geschaltet, damit die Spannung am Tiefpass konstant bleibt, wenn die Schaltung belastet wird. Der zweite OPV stellt einen Subtrahierer. Dieser bildet die Differenz zwischen der Spannung am Tiefpass und der Spannung, die durch einen Spannungsteiler zwischen Versorgungsspannung und dem OPV erzeugt wird. Am Ausgang steht der Zeiger bei $5V$ für den Fall, dass $230V$ anliegen. $0V$ und $10V$ repräsentieren $210V$ und $250V$.

Schaltungserklärung Strommessung Die Schnittstellen meiner Schaltung beschränkten sich auf die Versorgungsspannung von $\pm 15V$, die Masse und die induzierte Spannung von der Strommessspule. Die belegten Pins am Bus waren 3 und 5 für die Versorgungsspannung, 4 für die Masse und 30 und 31 für die Strommessspule. Das erste Konzept zum Messen des Stroms war ein um den stromdurchflossenen Leiter gewickelter, isolierter Kupferdraht an dem eine zu messende Spannung induziert werden sollte. Zunächst konnte allerdings kein Ergebnis festgestellt werden, da der Draht um den Leiter mit den Magnetfeldkennlinien gewickelt wurde anstatt senkrecht zu diesen zu verlaufen. Die Lösung war eine Ringkernspule mit Ferritkern. Nach verschiedenen Testläufen und der Wicklung der Spule konnte eine induzierte Spannung gemessen werden. Diese war sehr gering. Somit stand fest dass im weiteren Verlauf eine Verstärkung entwickelt werden musste. Das daraus resultierende Signal wurde dann gleichgerichtet und geglättet, sodass mit einem Gleichspannungsmessgerät, im Spannungsbereich von $0V$ - $10V$, die anliegende Spannung angezeigt werden kann. Die Spule dient quasi als ein Wandler im Verhältnis $100:1$, sprich $6A$ sind hinterher $0,06A$. Die Dioden D_1 und D_2 haben nur den Zweck den OPV zu schützen. Der OPV, die beiden Transistoren Q_1 und Q_2 und der R_1 Widerstand bilden den eigentlichen Verstärker. Der Widerstand

mit R_{19} und der Kondensator C_5 am Eingang der Schaltung sollen den Gleichstrom filtern. Die Verstärkung ist regelbar durch R_1 Widerstand. Die Widerstände an den Transistoren dienen als Lastwiderstände, so dass die überflüssige Spannung nicht komplett an den Transistoren abfällt.

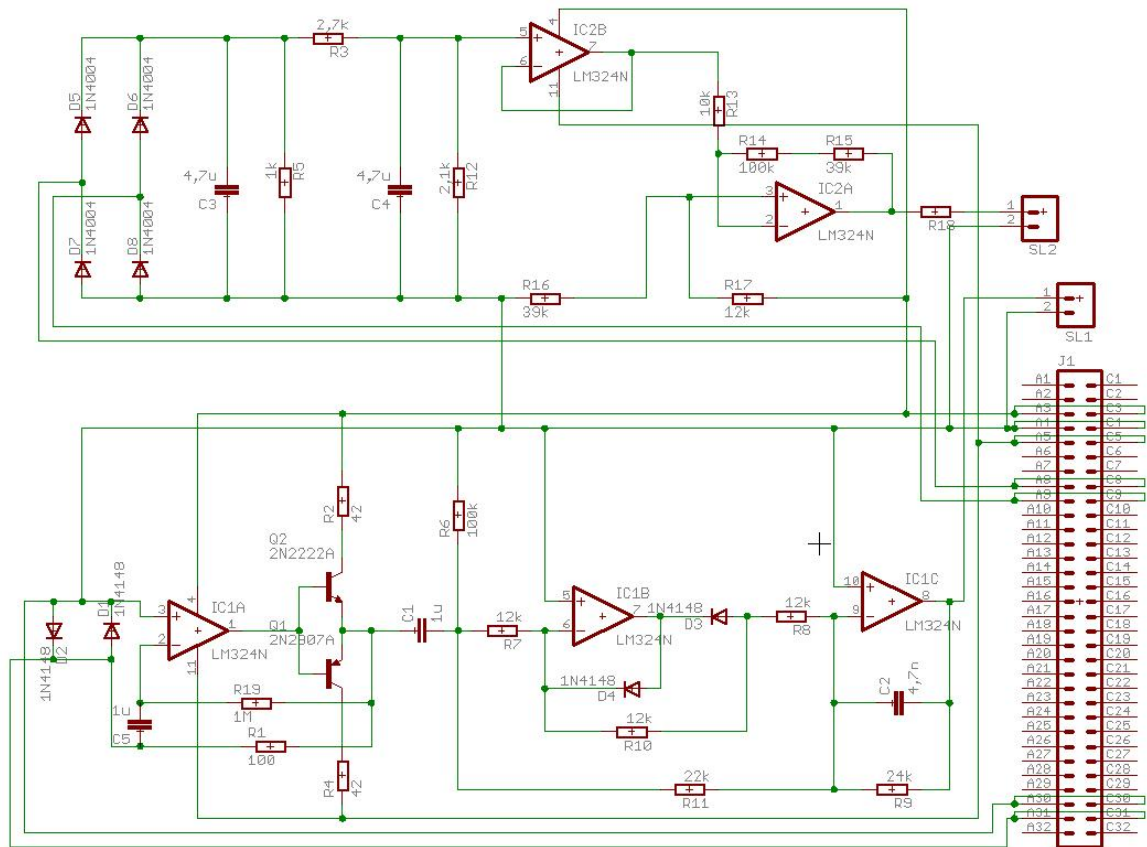


Abbildung 9.86: Schaltplan V-A-Messung

Bauteilliste

Spannungsmessung $D_5 - D_8$: 1N4004

OPV: LM324

C_3, C_4 : $47nF$

R_3 : $8,2k\Omega$

R_5 : $1k\Omega$

R_{12} : $2,7k\Omega$

R_{13} : $10k\Omega$

R_{14} : $100k\Omega$

R_{15} : $43k\Omega$

R_{16} : $39k\Omega$

R_{17} : $12k\Omega$

Strommessung $D_1 - D_4$: 1N4448

OPV: TL074

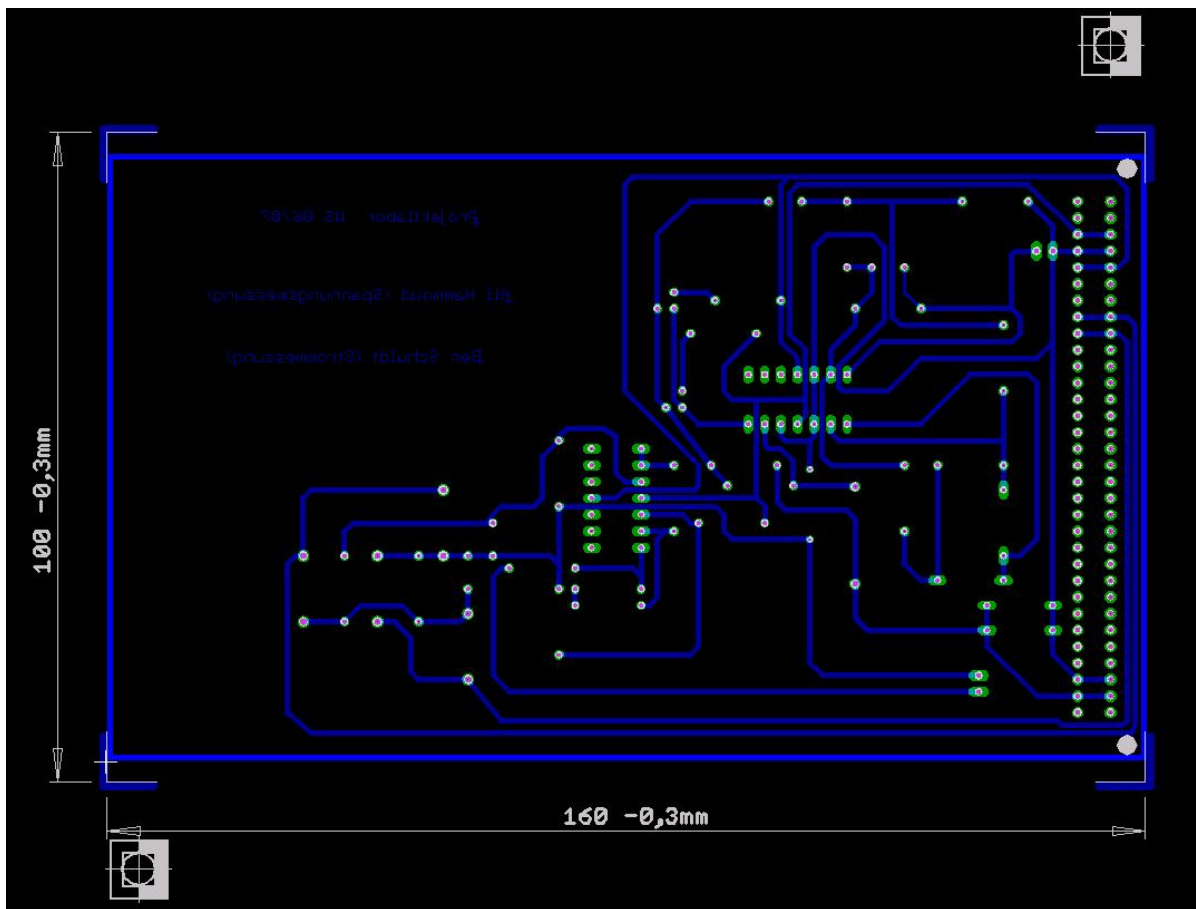


Abbildung 9.87: Platinenlayout V-A-Messung

Q_1 : 2N2907A

Q_2 : 2N2222A

C_1, C_5 : $1\mu F$

C_2 : $4,7nF$ Elektrolytkondensator

R_1 : 100Ω

R_2, R_4 : 42Ω

R_6 : $100k$

R_7, R_8, R_{10} : $12k\Omega$

R_9 : $24k\Omega$

R_{11} : $22k\Omega$

R_{19} : $1M\Omega$

Kupferlackdraht CuLL 0,315 (100 Wicklungen entsprechen in etwa $1,7m$)

Ferrit-Ringkern R12,5N30

9.4.3 Mastererkennung

An der Mastersteckdose ist eine Messung vorzunehmen um zu entscheiden ob dort ein Verbraucher angeschlossen ist. Ist dies der Fall soll an die Logikgruppe ein Signal weitergegeben werden um die Slave-Dosen zu aktivieren.

Verschiedene Konzepte Ein erster Entwurf entstand aus der prinzipiellen Überlegung wie einerseits eine solche Messung vorzunehmen ist und andererseits wie wir daraus ein adäquates Signal gewinnen können.

Der erste Schaltungsentwurf beinhaltet demnach eine Verstärkerschaltung (I) um das erhaltene Signal aufwerten zu können, einen Präzisionsgleichrichter (II) um die Weiterverarbeitung zu ermöglichen. Anschließend folgt ein Impedanzwandler (III) um die ersten beiden Schaltungsteile von den folgenden zu trennen. Das gleichgerichtete Signal sollte im Tiefpassfilter (IV) geglättet werden um dann letztendlich in einem Schmitt-Trigger (V) mit einer festgelegten Schaltschwelle verglichen zu werden, um dann entweder ein Signal weiterzugeben oder eben nicht.

Dieser Entwurf wurde nach einiger Zeit erfolglosen Modifizierens verworfen, da sämtliche Tests, sowohl physikalischer Art als auch in den Simulationen nur Teilergebnisse lieferten. Außerdem wurden durch den

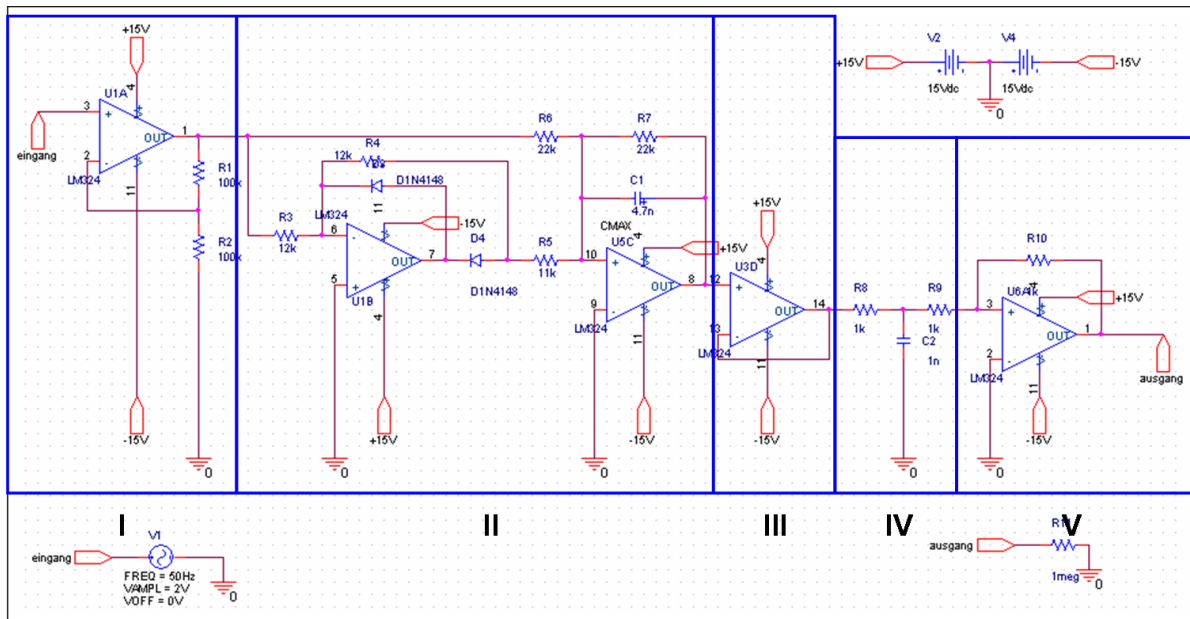


Abbildung 9.88: erster Entwurf Mastererkennung

Schnittstellentermin weitere Vorgaben gemacht, die eine Weiterentwicklung ohnehin in Frage stellten.

Die darauf folgende Schaltung wurde in Zusammenarbeit mit Gruppe 3 (Standby-Erkennung) wegen verschiedener Synergieeffekte entwickelt.

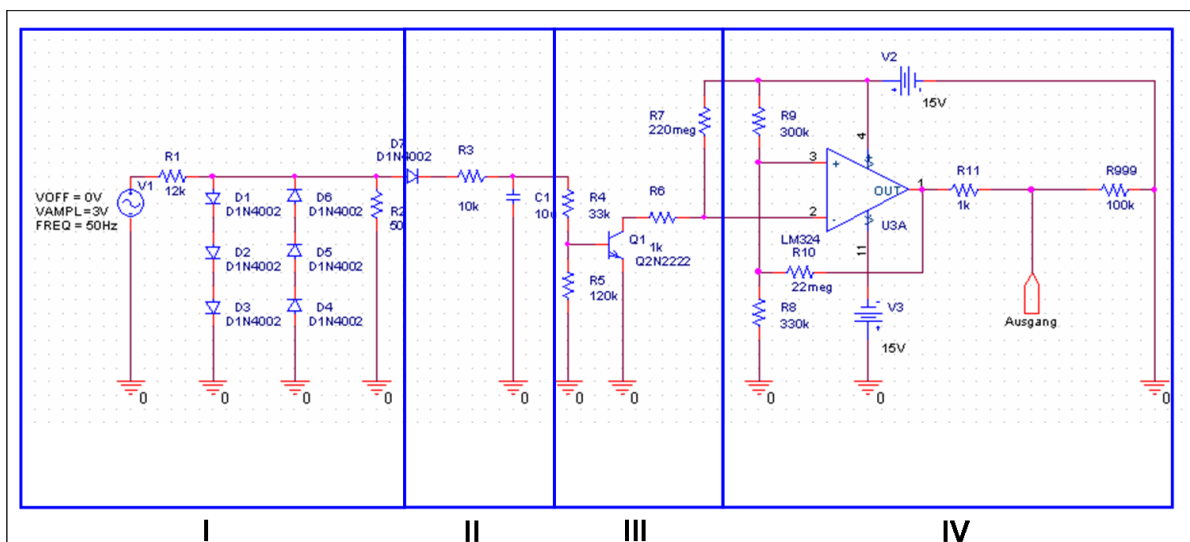


Abbildung 9.89: zweiter Entwurf Mastererkennung

Anfangs wird hier das eingehende Signal an einem Shunt mit vorgeschalteten Dioden gemessen (I). Weiterhin erfolgt eine Gleichrichtung mittels einer Diode gefolgt von einem Tiefpassfilter, welcher eine Glättung garantiert (II). Ab einer gewissen Schwelle wird an der Diode (III) durchgeschaltet, so dass das Signal an dem Schmitt-Trigger (IV) so abgegli-

chen werden kann, dass man das ausgehende Signal lediglich noch auf 5V Gleichspannung einstellen müsste. Nach relativer kurzer Zeit entschieden wir uns allerdings auch bei dieser Schaltung sie nicht einzusetzen, weil wir einerseits mittlerweile ein genaueres Bild davon hatten, welches Eingangssignal wir erhalten, andererseits wäre an den Dioden wohl zu viel Spannung verloren gegangen. Außerdem mussten wir uns damit abfinden, dass unser Ausgangssignal wohl nicht mittels eines einfachen Spannungsteilers erzeugt werden kann, da die Logikgruppe auf ein digitales Signal bestand.

Endgültige Schaltung und ihre Funktionsweise Letztendlich entstand folgende Schaltung: Die auf dem Plan eingetragenen Pinbezeichnungen beziehen sich auf die Belegung des Busses:

PIN 1: +5V DC

PIN 2: AGND

PIN 3: +15V DC

PIN 4: DGND

PIN 5: -15V DC

PIN 12: Masterausgang

PIN 23: Mastereingang

Das Eingangssignal stammt von einem Stromwandler, der auf einer Platine der Gruppe 1 angebracht ist. Die Dioden D_1 und D_2 stellen einen Überspannungsschutz für die Operationsverstärker dar, für den Fall, dass bei nicht-angelegter Versorgungsspannung ein zu hohes Eingangssignal anliegen würde. Da die Sekundärspule im sekundären Kurzschluss betrieben wird, ist ein OPV als Invertierer beschaltet notwendig (linker OPV). Die Offsetspannung des OPV wird vom Widerstand R_1 verstärkt und vom Innenwiderstand der Sekundärspule abgeschwächt und tritt am Ausgang des OPV als Gleichspannungsglied auf. Um dieses zu kompensieren werden C_1 und R_2 geschaltet. Dies ist möglich, weil bei Gleichspannung nur der Widerstand R_2 als Rückführung wirken kann.

Der ankommende Strom, welcher über R_1 fließt kann 0,16A nicht überschreiten (wenn man annimmt, dass die Sicherung spätestens bei 16A abschaltet und der Stromwandler davon den hundertsten Teil liefert) und da der Ausgangsstrom des OPV 5mA nicht überschreiten kann, muss eine zusätzliche Stromverstärkung durch die beiden Transistoren Q_1 und Q_2 realisiert werden. Dabei passieren Ströme in negativer Richtung den oberen und Ströme in positiver Richtung den unteren Transistor. Die Widerstände R_3 und R_4 dienen dazu, dass nicht die gesamte an den Transistoren anliegende Versorgungsspannung an ihnen selbst abfällt. Das Element aus den beiden Transistoren und den anliegenden Schutzwiderständen befindet sich innerhalb der Rückführungsschleife des OPV, dass deren nicht-linearen Eigenschaften nicht im Ausgangssignal erscheinen. Die nachfolgende Diode D_3 entkoppelt die negative Halbwelle, von welcher dann C_4 (C_2 und C_3 sind im Schaltplan nicht eingezeichnet da sie lediglich über der Versorgungsspannung des OPV geschaltet sind um kurzfristige Schwankungen auszugleichen) den Scheitelwert speichert. R_5 dient dem Konden-

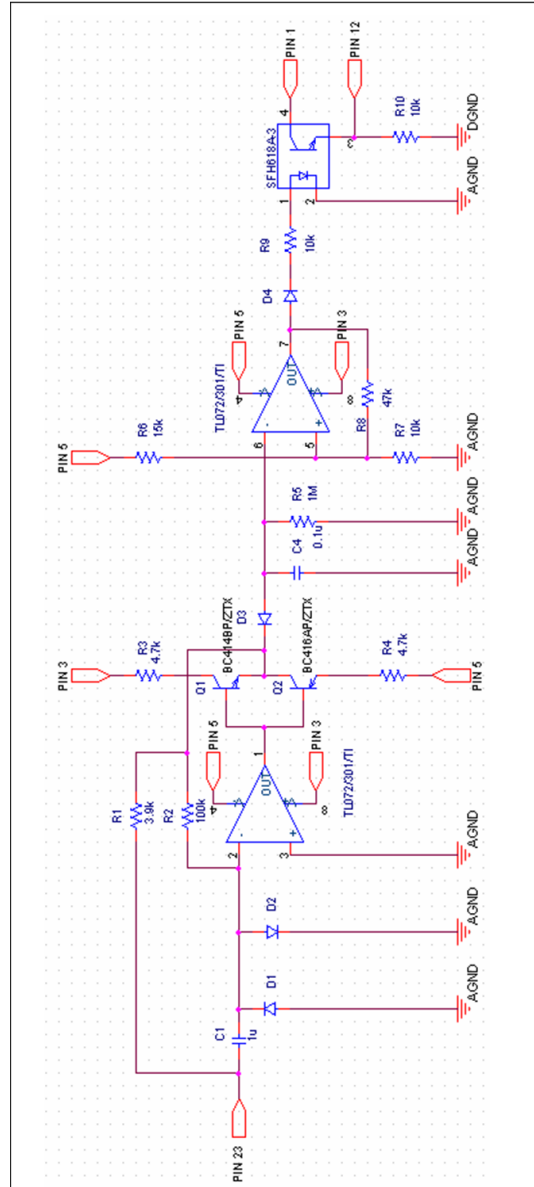


Abbildung 9.90: Schaltplan Mastererkennung

sator dazu, sich zwischenzeitlich wieder entladen zu können, da sonst ein einmaliges Einschalten nicht mehr rückgängig gemacht werden könnte. Daraufhin läuft das Signal auf einen Schmitt-Trigger, der von negativer Ausgangsspannung dann auf positive kippt, wenn das ankommende Signal (betragsmäßig) groß genug ist. Nur diese positive Ausgangsspannung kann die Diode D_4 passieren und bringt die im Optokoppler integrierte LED zum leuchten, was zum Durchschalten des Transistors bzw. des Optokopplers führt, wodurch das über PIN 1 ankommende Signal von $+5VDC$ auf den Ausgang (PIN 12) gelegt wird. Zu bemerken ist hier außerdem, dass der Optokoppler auf der Transistorenmenseite über den Widerstand R_{10} nicht die analoge sondern auf digitale Masse zum Bezug hat. Dies ist notwendig, weil die Funktionsweise der Logik von kurzfristigen Spannungsschwankungen auf der analogen Masse beeinträchtigt wäre. (An dieser Stelle sei Prof. Dr.-Ing. Manfred Krumm gedankt, der dabei geholfen hat, die Schaltung fehlerfrei bewerkstelligen zu können.)

Berechnungen zur Dimensionierung Der mehrfach erwähnte Stromwandler besteht auf der Primärseite aus einer Wicklung und auf der Sekundärseite aus 100 Wicklungen Kupferlackdraht, gewickelt auf einen Ferrit-Ringkern. Das heißt bei maximalen $16A$ auf der Primärseite, erhalten wir $0,16A$ auf der Sekundärseite. Dieser fließt über R_1 und da wir die Spannung an den Emittern der Transistoren relativ frei wählen können, haben wir uns für $6,4V$ als Scheitelwert entschieden, so dass wir für R_1 einen Wert von $3,9k\Omega$ wählen können. Damit haben wir uns für eine (wegen der Diode D_3 in Sperrrichtung) negative Schwellspannung von $-6,4V$ und außerdem eine Hysterese von $2V$ nach oben entschieden. Somit ergaben sich die zwei folgenden Bestimmungsgleichungen für die Widerstände R_6 , R_7 und R_8 . Dadurch, dass sich über diese beiden Gleichungen lediglich zwei Widerstände bestimmen lassen wählten wir für R_7 den Wert $10k\Omega$. Weiterhin gibt der Schmitt-Trigger entweder $+12V$ oder $-12V$ aus. Diese Spannungen stellen das Potential am Widerstand R_8 dar. Am Widerstand R_6 und R_7 befinden sich $0V$ bzw. $-15V$. Für den Fall $U_{R8} = -12V$ soll zwischen den Widerständen ein Potential von $-6,4V$ und für $U_{R8} = +12V$ ein Potential von $-4,4V$ herrschen. Bei einem Gesamtstrom von $I = 1,08mA$ ergeben sich also die beiden folgenden Formeln:

$$0,64mA = \frac{15V - 6,4V}{R_6} + \frac{12V - 6,4V}{R_8}$$

und

$$0,44mA = \frac{15V - 4,4V}{R_6} - \frac{12V + 4,4V}{R_8}$$

Daraus resultieren für R_6 und R_8 Werte von $16,4k\Omega$ bzw. $48,6k\Omega$. Da die Schaltschwelle von vornherein beliebig war konnten wir ohne weiteres normale Widerstandswerte von $15k\Omega$ für R_6 und $47k\Omega$ für R_8 wählen. Für das aus dem Kondensator C_1 und dem Widerstand R_2 bestehende R-C-Glied ergaben sich auf empirischen Weg die Werte $1\mu F$ bzw. $1M\Omega$. Die Dioden, Transistoren, OPVs und der Optokoppler wurden, weil sie keinen besonderen Ansprüchen genügen müssen, einfach aus dem Bereich der Standardbauelemente gewählt. Auch für die beiden Kondensatoren C_2 und C_3 , die zur Stabilisierung der Spannungsversorgung des OPVs wurde keine Dimensionierung durchgeführt sondern einfach vernünftige Durchschnittswerte gewählt. Selbiges gilt für die Widerstände R_9 und R_{10} . Auch R_3 und R_4 wurden ohne Berechnung gewählt, da an ihnen zwar Spannung abfallen soll, wieviel genau, spielt allerdings keine Rolle. Die Wahl dieser Bauteile wurde anschließend empirisch bestätigt.

Bauelementliste Kupferlackdraht CuLL 0,315 (100 Wicklungen entsprechen in etwa $1,7m$)

Ferrit-Ringkern R12,5N30

$C_1 : 1\mu F$

$C_2/C_3 : 68nF$

$C_4 : 0,1\mu F$

$D_1 - D_4$: Standarddioden (hier: 1N4448)

OPV: Standardoperationsverstärker (hier: TL072: zwei OPVs im DIL-8 Gehäuse)

Q_1 : Standard-npn-Transistor (hier: BC 414)

Q_2 : Standard-pnp-Transistor (hier: BC 416)

Optokoppler: Standardoptokoppler (hier: SFH618A-3)

$R_1 : 3,9k\Omega$

$R_2/R_5 : 1M\Omega$

$R_3/R_4 : 4,7k\Omega$

$R_6 : 15k\Omega$

$R_7/R_9/R_{10} : 10k\Omega$

$R_8 : 47k\Omega$

Layout und Bestückungsplan

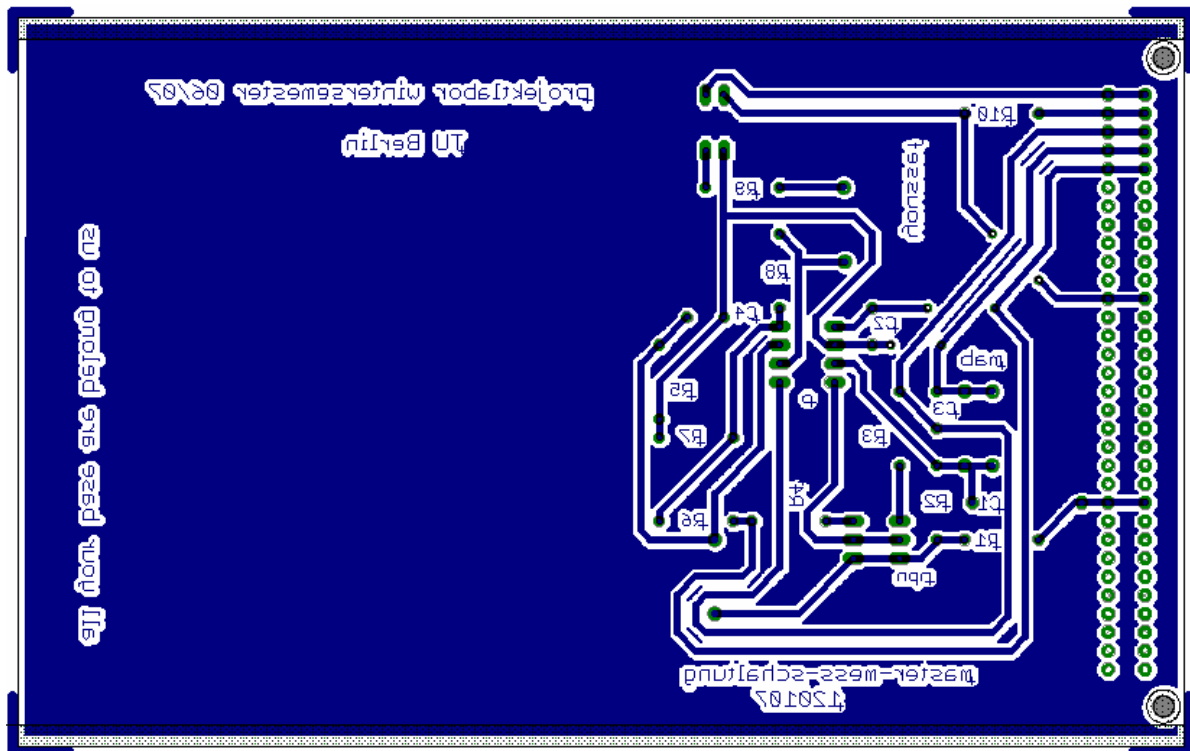


Abbildung 9.91: Platinenlayout Mastererkennung

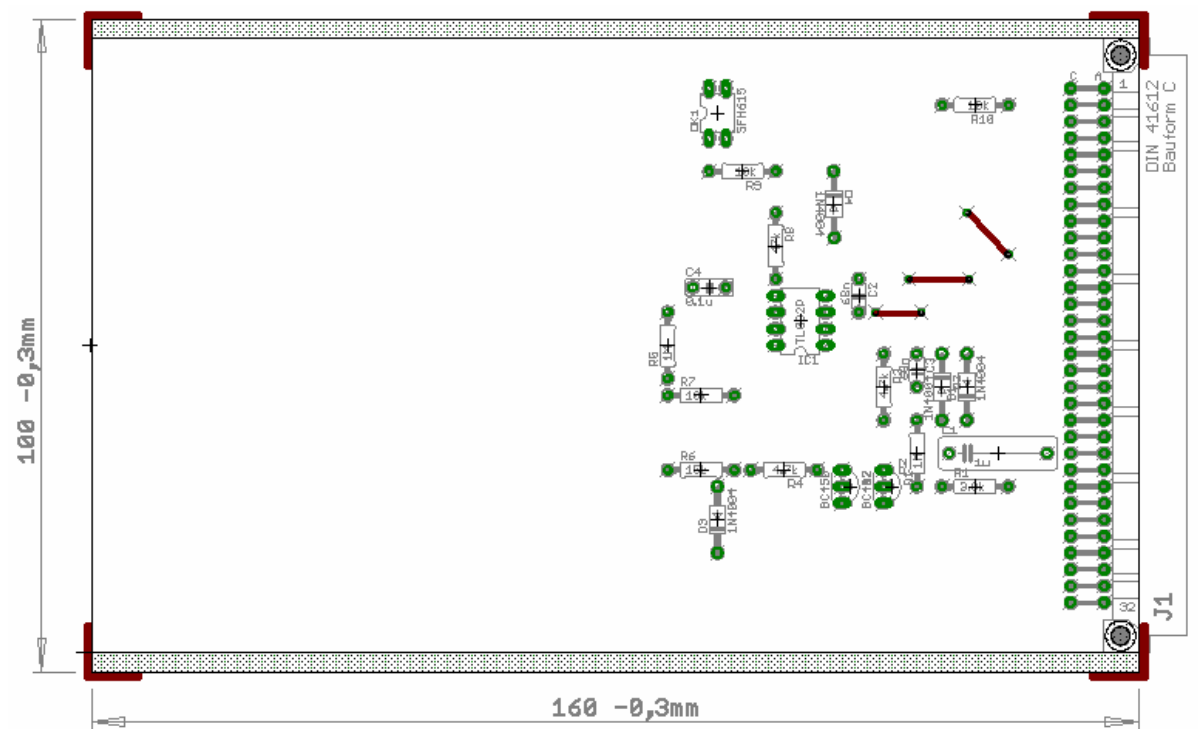


Abbildung 9.92: Bestückungsplan Mastererkennung

9.5 GRUPPE 5: NETZTEIL UND LEISTUNGSSCHALTER

9.5.1 Netzteil

Das Netzteil zur Versorgung der Elektronik der intelligenten Steckdose wurde nach längerer Überlegung als herkömmliches Trafonetzteil ausgelegt. Ein effizienteres aber auch komplizierter zu bauendes Schaltnetzteil wurde auch in Betracht gezogen, aus Zeitgründen wurden die anfänglichen Ideen dann aber verworfen. Ein Trafonetzteil bietet außerdem den Vorteil der stabilen Spannungen, während bei einem Schaltnetzteil sehr großer Aufwand betrieben werden muss um die Ausgänge stabil zu halten, ein gewisser Ripple, d.h. Restwelligkeit der Netzspannung ist immer vorhanden.

Anforderungen an das Netzteil waren eine stabile Spannungsversorgung drei Spannungsniveaus, +5V und $\pm 15V$. Dies wurde erreicht, lediglich der Wirkungsgrad der vergleichsweise einfachen Schaltung ist noch nicht optimal.

Die Funktionsweise des Netzteils (Abb. 9.87) ist einfach nachzuvollziehen. Die

230V/50Hz Netzspannung wird zunächst auf Niederspannung heruntertransformiert, hierfür werden zwei Transformatoren verwendet. Für die $\pm 15V$ wird ein Transformator mit zwei Sekundärwicklungen benutzt. Auf den Transformator folgen die obligatorischen Sicherungen, danach wird die Spannung mit herkömmlichen Brückengleichrichtern gleichgerichtet und die Gleichspannung wird mit $4700\mu F$ Elektrolytkondensatoren geglättet. Die Ausgangsspannung wird von Festspannungsreglern vom Typ 78XX und 79XX erzeugt. Diese Spannungsregler müssen gut gekühlt werden, da sie die Differenz zwischen Eingang und Ausgang in Wärme emittieren. Hinter den Festspannungsreglern folgen weitere große Elektrolytkondensatoren mit $2200\mu F$ zur weiteren Stabilisierung. An den Beinen aller drei Spannungsregler befinden sich 100nF Kondensatoren, diese verhindern ein aufschwingen der Schaltung.

Zur optischen Kontrolle der Funktion bekam die Schaltung außerdem drei Leuchtdioden die das Vorhandensein der Ausgangsspannung auf den drei Schienen anzeigen. Jede Leuchtdiode besitzt einen Vorwiderstand der den entsprechenden Strom begrenzt.

Die Schaltung wurde zunächst als einkanalige, kleinere Version auf Lochraster aufgebaut, nachdem die Gruppe von der einwandfreien Funktion überzeugt war erfolgte das Erstellen eines einseitigen Layouts und das Ätzen einer Platine im Europakartenformat (100x160mm).

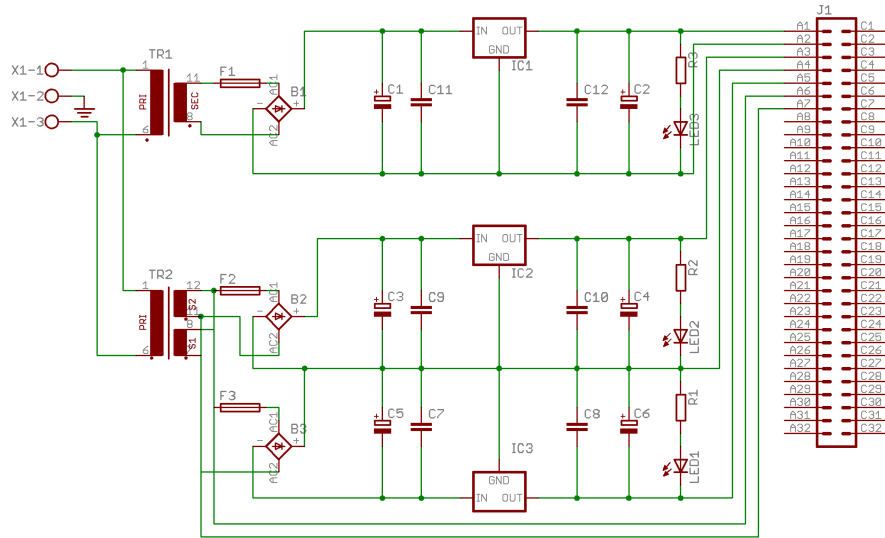


Abbildung 9.93: Schaltplan des Netzteils

9.5.2 Phasennulldurchgangserkennung

Die Phasennulldurchgangserkennung ist nötig, damit die Relais im Nulldurchgang der Netzspannung und damit leistungslos schalten können (Abb. 9.9.3).

Über den Spannungsteiler aus R1 und R2 wird die Eingangsspannung auf den zulässigen Arbeitsbereich des OPVs angepasst. Die Zenerdioden (13V) sollen den Eingang des OPVs zusätzlich vor Überspannung schützen. Die erste OPV-Schaltung ist ein Integrierer. Er hat ein Tiefpassverhalten. Damit ein Tiefpass diese integrierende Eigenschaft bekommt muss er so dimensioniert werden, dass die tiefste zu übertragende Frequenz um den Faktor 50 (Erfahrungswert) größer ist als die Grenzfrequenz. Wir wollen ein 50Hz Sinusschwingung integrieren, also muss die Grenzfrequenz ca. 1Hz betragen. Am Ausgang liegt nun ein um 90° verschobenes Signal an. R19 dient zur Offset-Kompensation. Er sollte recht hochohmig sein, um möglichst wenig Einfluss auf den eigentlichen Integrierer zu haben. Deshalb ist R19 mit 1 MΩ gewählt. Für C3 wurde ein 100nF Kondensator gewählt. Damit berechnet sich R18 wie folgt:

$$R_{18} = \frac{2 \cdot R_{19}}{\sqrt[3]{2 + 8 \cdot (f_g)^2 + \pi \cdot (R_{19})^2 \cdot (C_3)^2}}$$

Mit $R_{19} = 1M\Omega$, $f = 1\text{Hz}$ und $C = 100\text{nF}$ ist $R_{18} = 1,2 M\Omega$. In diesem Fall würde das Ausgangssignal zu stark gedämpft sein (ca. -31.5dB).

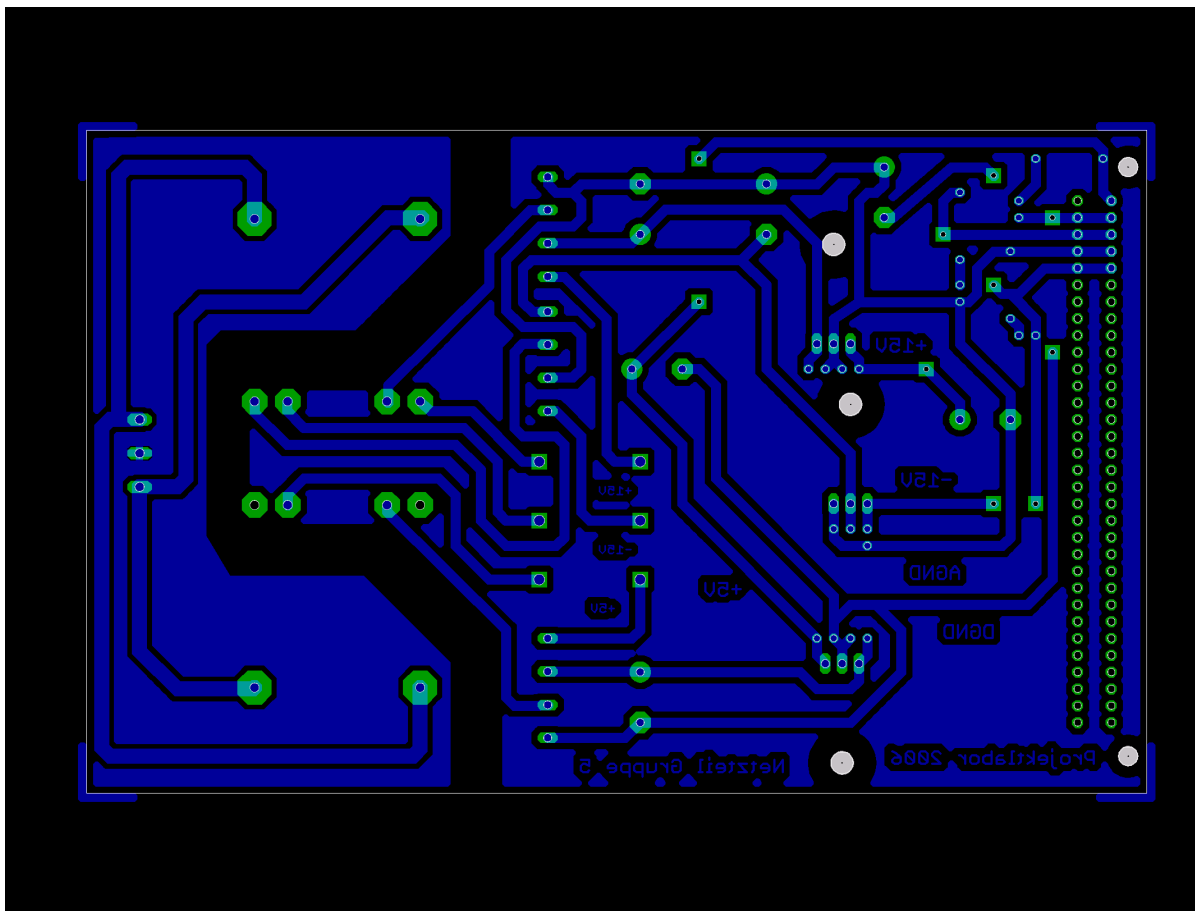


Abbildung 9.94: Layout Bottom des Netzteils

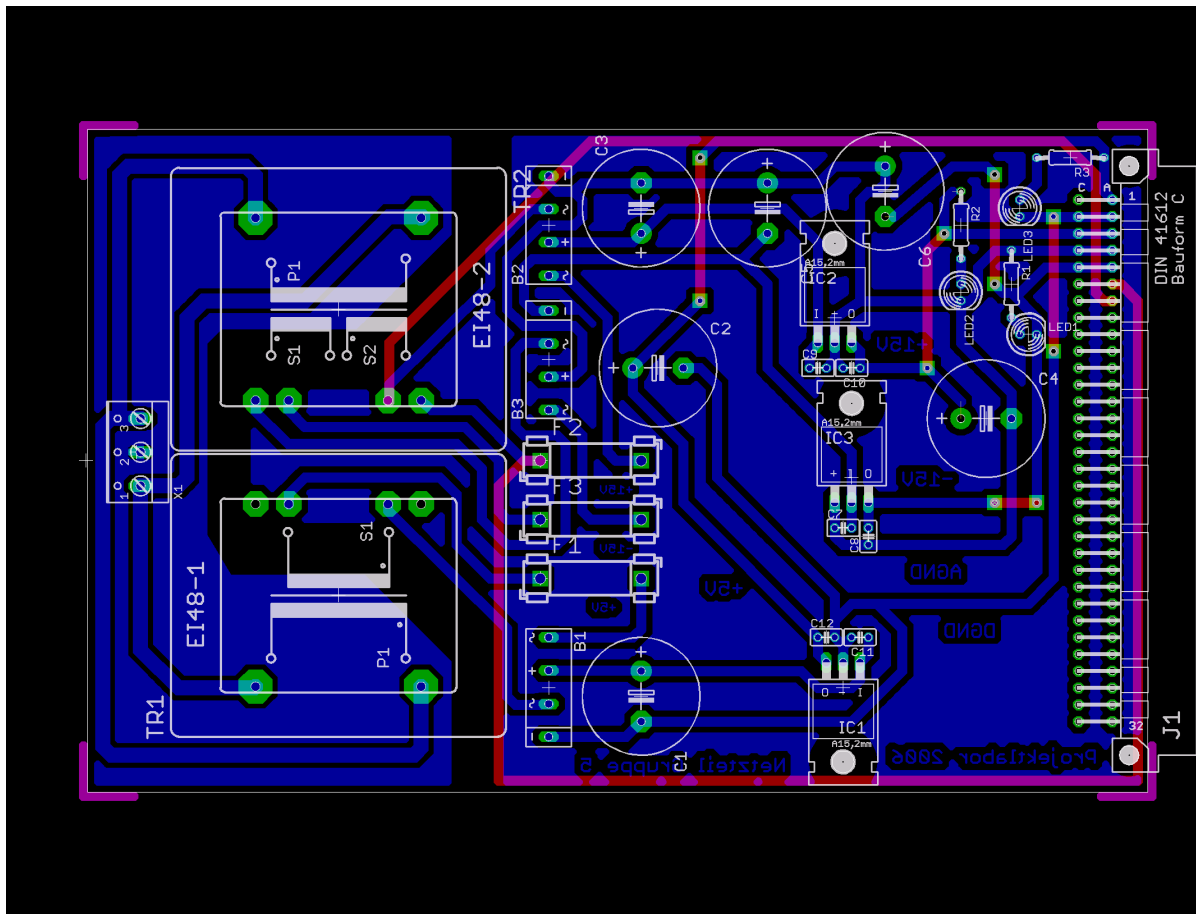


Abbildung 9.95: Layout Top des Netzteils

Blockschaltbild - Phasennulldurchgangserkennung

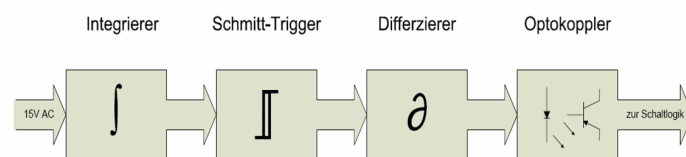


Abbildung 9.96: Blockschaltbild der Phasennullerkennung

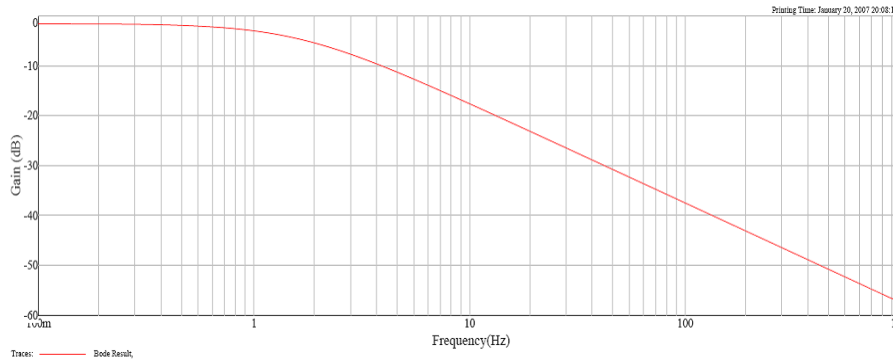


Abbildung 9.97: Bodediagramm in dB

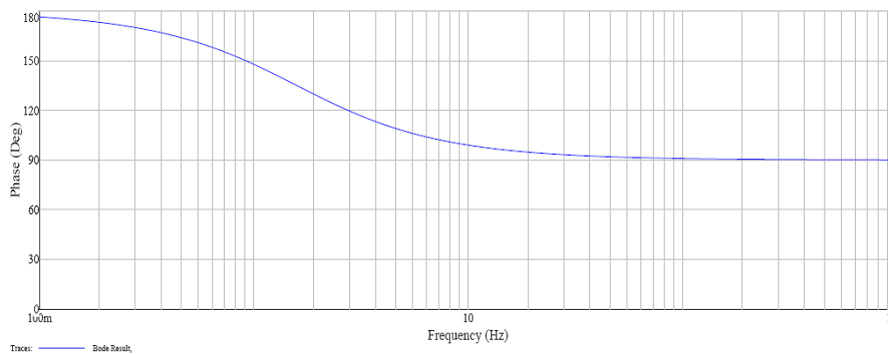


Abbildung 9.98: Phasengang

Als Kompromiss zwischen guter Integration und annehmbarer Dämpfung wurde R18 auf 150kΩ gesetzt. Die Dämpfung beträgt somit nur noch -13,5dB und die Grenzfrequenz liegt nun bei 14,9Hz.

$$f_g = \frac{\sqrt{2 \cdot \left(\frac{R_{19}}{R_{18}}\right)^2 - 1}}{2 \cdot \pi \cdot R_{19} \cdot C_3}$$

Es folgt ein Schmitt-Trigger, also ein Komparator mit Hysterese. Er erlaubt uns, mit Hilfe des Trimmpotentiometers R8 die Nulldurchgänge der am Ausgang erzeugten Rechtecksspannung gegenüber der sinusförmigen Eingangsspannung im Bereich von 0° bis 90° zu verschieben.

Es folgt ein Differenzierer, der wiederum ein Hochpassverhalten aufweist. Hiermit sollen aus der Rechtecksspannung Impulse generiert werden, da uns nur der Nulldurchgang interessiert. Auch hier soll die Grenzfrequenz ca. 50-mal größer sein, als die zu übertragende Frequenz. $\Rightarrow f_g = 2,5\text{kHz}$. Mit $R_5 = 22\text{k}\Omega$ errechnet sich $C_1 = 3,3\text{nF}$ wie folgt:

$$C_1 = \frac{1}{2 \cdot \pi \cdot f_g + R_5}$$

Um diese analogen Impulse an die die Logik zu übertragen, wird ein Optokoppler eingesetzt, da eine galvanische Trennung zwischen analoger und digitaler Schaltung nötig ist. Mit der Diode D11 und der Diode

des Optokopplers werden nur die Impulse im positiven Spannungsbereich übertragen. Da dadurch nur jeder zweite Nulldurchgang erkannt wird, ist nicht schlimm, denn es verzögert das Schalten der Relais um höchstens 10 ms.

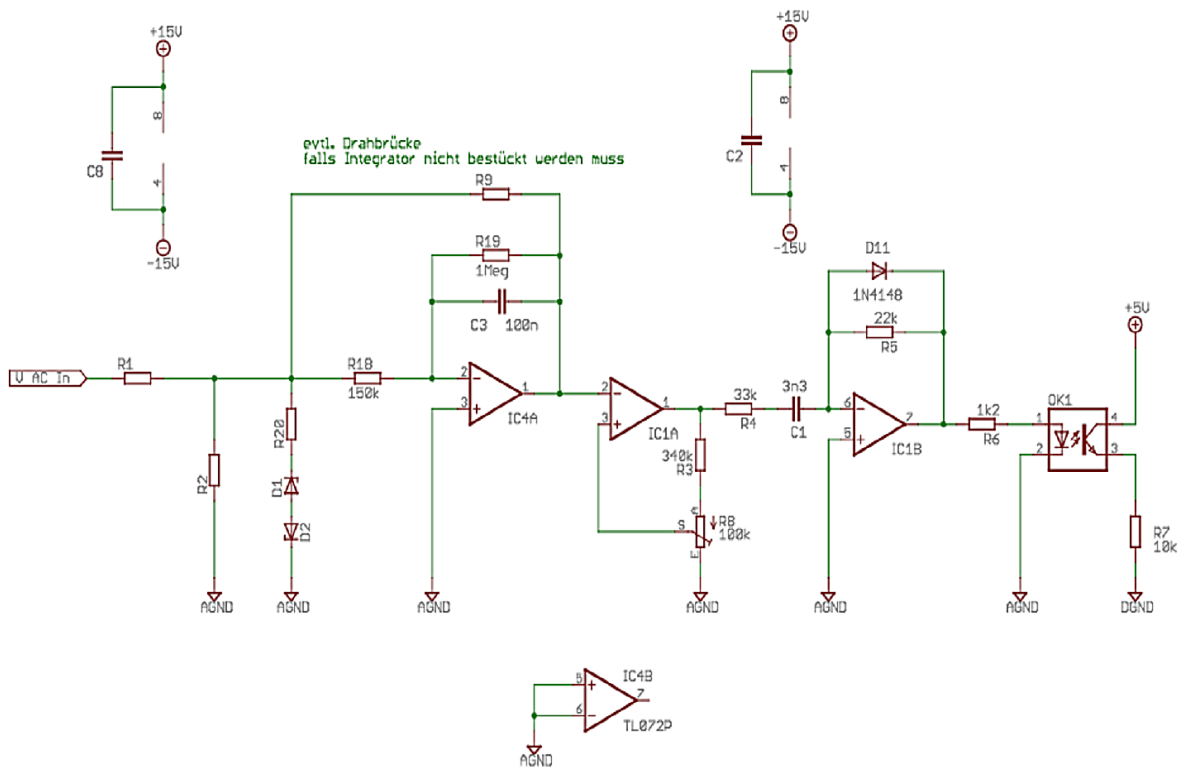


Abbildung 9.99: Schaltplan der Phasennullerkennung

Durch eventuelle Phasenverschiebung des Trafos sowie Schaltzeiten der Logik und der Relais ist diese recht aufwendige Schaltung nötig. Durch den Trimmer lässt sich der Nulldurchgang am Relais genau einstellen. R_9 kann mit einer Drahtbrücke bestückt werden, falls sich die Phasenverschiebung nur im Bereich von 0° - 90° befindet. Damit fällt die Bestückung des Integrierers weg.

Im Nachhinein betrachtet, wäre eine Schaltung mit einem Allpass wesentlich einfacher geworden. Der Zeitplan des Projektes lässt leider keine Zeit mehr für die Entwicklung einer alternativen Lösung. Die ganze Schaltung ist im Ganzen überflüssig, wenn die Kontakte des Relais ein Schalten unabhängig vom Nulldurchgang problemlos vertragen.

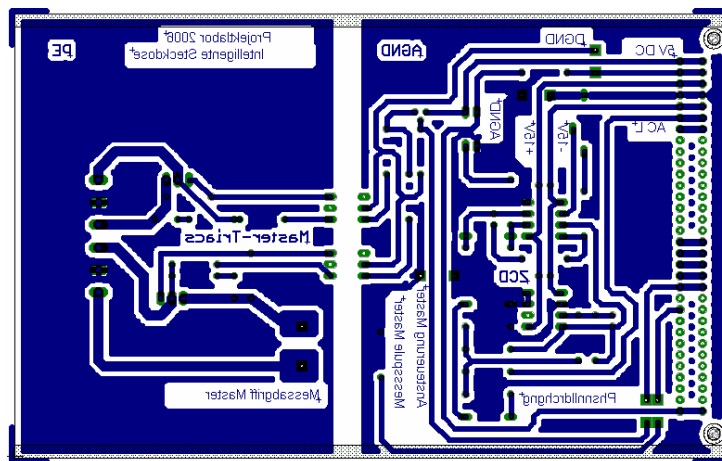


Abbildung 9.100: Layout der Phasennullerkennung und der Triac-Schaltung

9.5.3 Schalten

Schalten mit bistabilen Relais Die Idee der bistabilen Relais wurde von Stefan Seifert aufgeworfen. Bistabile Relais funktionieren Impulsgesteuert, das heißt, dass sie bei jedem Stromstoß der auf den Eingang geht ihren Schaltzustand ändern(ein- bzw. ausschalten). Ein Nachteil ist, dass sie in ihrem Schaltzustand verharren und es erst wieder einen Schaltimpuls geben muss, um Sie ausschalten zu können. Die Möglichkeit der Intelligenten Steckdose einfach den Stecker zu ziehen, stieß uns auf das Problem, dass bei Wiederinbetriebnahme die einzelnen Steckdosen in dem Zustand verharrten in dem sie beim Ziehen des Netzsteckers waren. Eigentlich sollten alle Dosen aus sein. Wegen dieses Problems entschieden wir uns gegen bistabile Relais und deren Vorteil, nur Leistung während des Umschaltens auf zu nehmen aber nicht im Betrieb. Ein primär Ziel unserer Intelligenten Steckdose war es, unter anderem, mehr Strom zu sparen als durch den Standbybetrieb der intelligenten Steckdose verbraucht wird.

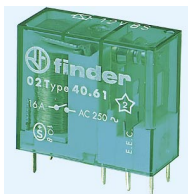


Abbildung 9.101: Bistabiles Relais FINDER 40.52.6.012

Schalten mit Relais durch Ansteuerung einer Logik Die Logikschaltung soll das Signal von der Logikgruppe (welche Dose angeschaltet werden soll) und das Signal der Phasenerkennung kombinieren und dann der jeweiligen Dose ein Signal im Nulldurchgang zum Schalten geben. Hierbei werden nur die vier Slavedosen durch Relais geschaltet. Die Beschaltung der fünften Dose (Master) erfolgt durch eine Triacschaltung, die extra beschrieben wird (Schalten mit Triacs). Der erste Logikschaltungsentwurf bestand aus zwei AND-Gattern, wobei dem einen zwei Inverter vorgeschaltet waren.

Diese Gatterkombination gibt das Signal auf einen RS-Flip-Flop, welcher den Zustand dann auf die Treiberstufe der Relais leitet. Nach genauerer Betrachtung musste dieser Schaltung noch ein zusätzlicher Inverter hinzugefügt werden.

konnte die Logiktablelle wie folgt realisiert werden: Logiktablelle: Nulldurchgang := 1, Schaltsignal an := 1

Die Logik wurde durch Pulldowns, $100\text{k}\Omega$ Widerstände gegen Masse, vor den Signaleingängen ergänzt, dass bei offenem Kontakt der korrekte logische Eingangspegel garantiert ist. Als Bauelemente wurden CMOS-Elemente gewählt, da diese in allen Schaltungen benutzt wurden und somit Probleme, die bei der gemeinsamen Verwendung von TTL- und CMOS-Bausteinen auftreten können, vermieden werden konnten. Eine zweite Frage war die Umsetzung der Treiberstufe für die Relais. Das Ausgangssignal des Flip-Flops kann nicht direkt als Schaltimpuls für die Relais erhalten, da es dafür zu schwach ist. In der Diskussion war die Möglichkeit einer Treiberstufe per Bipolartransistor oder MOS-Feld effekttransistor. Aufgrund der leistungslosen Ansteuerung eines MOS-Fet wurde diese Alternative gewählt.

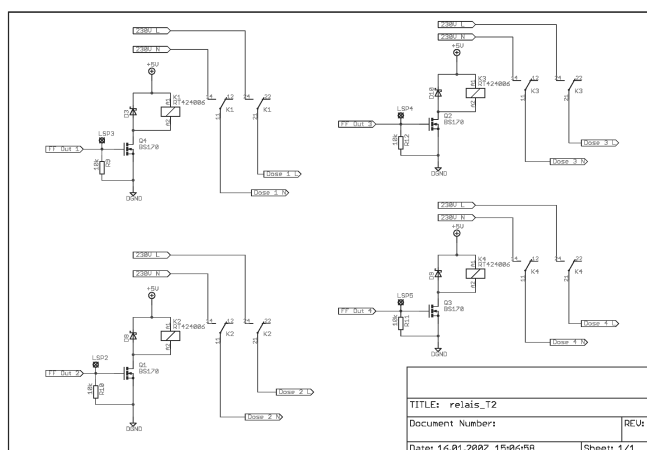


Abbildung 9.104: Endgültiger Schaltplan Seite 2

Als passender Feldeffekttransistor wurde der BS-170 ausgewählt, welcher ebenfalls einen Pulldown-ähnlichen Widerstand mit $10\text{k}\Omega$ am Source gegen Masse erhielt. Die Simulation der überarbeiteten Schaltung war erfolgreich.

Im Testaufbau wurden verschiedene Relais getestet und Schaltzeiten gemessen, um eine Vorabschätzung für die Einstellung der Phasenerkennung zu bekommen.

Das endgültig verwendete Relais (Printrelais RT424006) konnte nicht gemessen werden, da es bis kurz vor der Bestückung der Platine nicht vorhanden war. Mit einer nachträglichen Messung konnte ein Wert von 9ms ermittelt werden.

Ein weiterer Diskussionspunkt war die Spannungsversorgung der Relais. Eigentlich sollte ein 12V Relais benutzt werden, dass per Spannungstei-

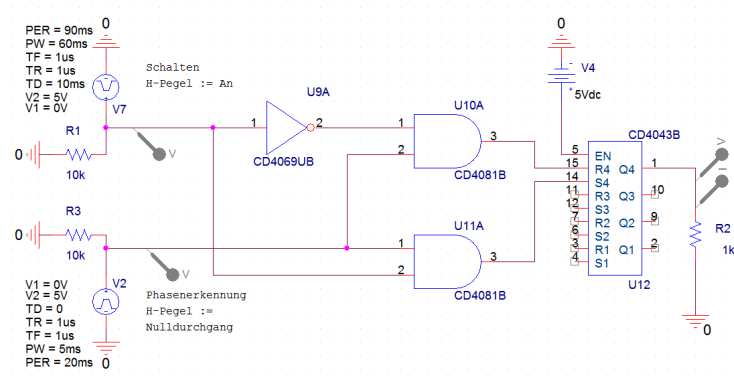


Abbildung 9.105: Simulationsschaltbild

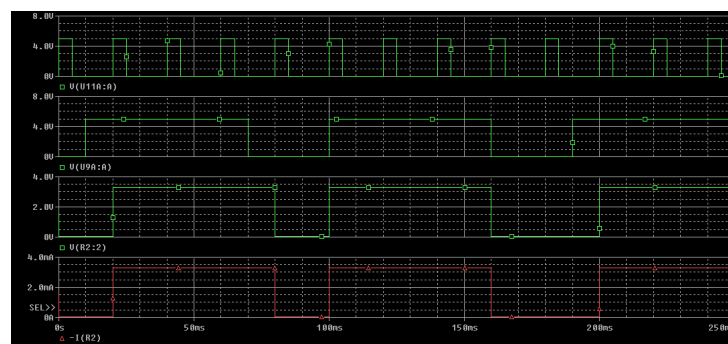


Abbildung 9.106: Simulationsdiagramm

Relais	Betriebsspannung in V	Schaltzeit in ms
RT314006	6	12,3
V23027	5	10,8
RT424012	12	5,5

Tabelle 9.23: Relaistabelle

ler über die 15V-Schiene seine Spannung erhalten hätte. Hier hätten die Schaltprozesse der Spulen jedoch merkliche Spannungshübe ausgelöst und damit die empfindlichen OPV, die ihre Spannung ebenfalls über die 15V-Schiene erhalten, gestört. Daher wurde die Entscheidung getroffen, ein 6V Relais (Printrelais RT424006) zu nutzen (mit zwei Wechslern, um sowohl den N- als auch den L-Leiter der Dosen zu unterbrechen), die mit den eher unempfindlichen Logikbausteinen über dieselbe Spannungsschiene versorgt werden. Das 6V Relais funktioniert problemlos auch mit 5V Versorgungsspannung.

Auch der Ort im Gehäuse der Relais war lange Zeit nicht sicher geklärt: Es wurde nach langem hin- und hergeschiebe dann doch beschlossen, die Relais direkt auf die Platine zu setzen und nicht im Gehäuse an die Steckdosen zu klemmen. Trotzdem mussten keine 230V-Leiter auf den Bus geführt werden. Die Versorgungs- und Anschlussleiter der Relais wurden über Platinensteckverbinder (nicht nur Schraubklemmen, sondern richtig steckbar!) und entsprechend isolierte Kupferkabel durchs Gehäuse geführt.

Die Verbindung zum Bus wurde wie in den Schnittstellen vorgesehen belegt.

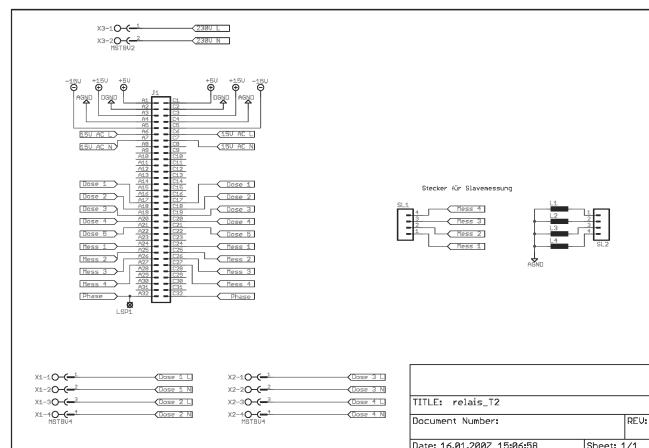


Abbildung 9.107: Endgültiger Schaltplan Seite 3

Vor Weihnachten konnte das Layout endlich fertig gestellt werden. Eine kleine Spielerei am Rande stellte die 3D-Renderfunktion durch ein zusätzliches ULP-Skript in Eagle dar.

Zusätzlich zur Logik und den vier Relais kamen auf die Platine noch vier Messspulen der Gruppe 3 für die Standbyerkennung. Durch diese Spulen führt je ein Leiter der entsprechenden Steckdose, um so berührungsfrei den fließenden Strom zu messen.

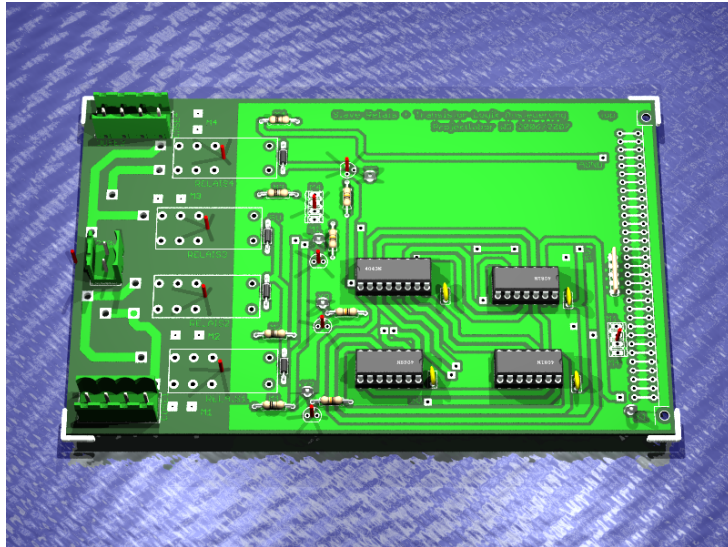


Abbildung 9.108: Platine 3D-gerendert top

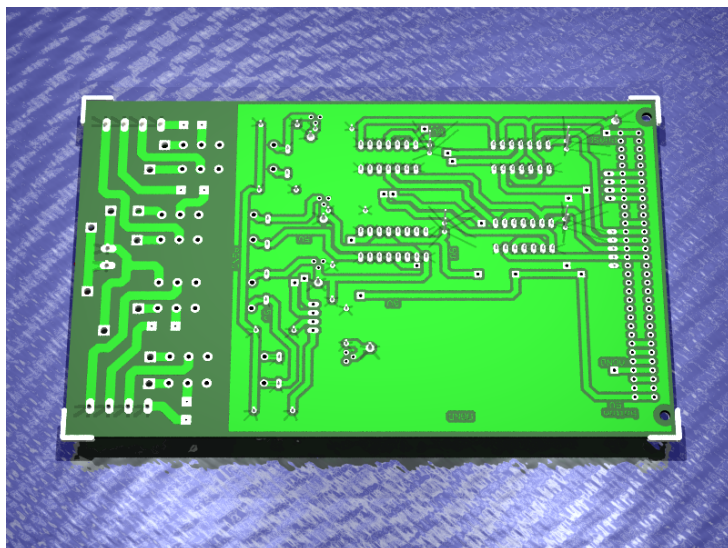


Abbildung 9.109: 3D-gerendert bottom

Anfang Januar wurde dann endlich geätzt. Aufgrund einer Stromstärke von bis zu 6 A auf dem 230V-Relaisabschnitt wurde eine doppelseitige Platine mit $70\mu\text{ m}$ Kupferbeschichtung gewählt (anstatt $35\mu\text{ m}$). Trotzdem mussten die entsprechenden Leiterbahnen noch durch zusätzliches Verzinnen verstärkt werden. Beinahe wäre auf dem Layout die Aufsplittung der Steckdosenleiter zur Herausführung der Leiter zur Standbymeßung durch die Spulen vergessen worden, aber in letzter Minute wurden die benötigten Vias gesetzt und die schon fertig geklebte Belichtungstasche des dann alten Layouts verworfen.

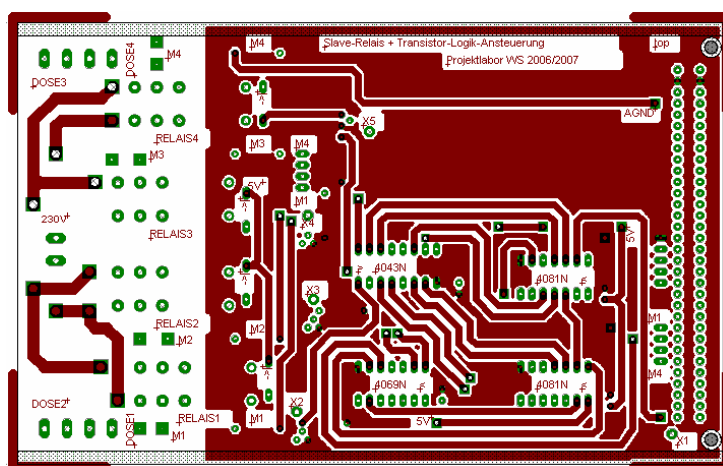


Abbildung 9.110: Platinenlayout top

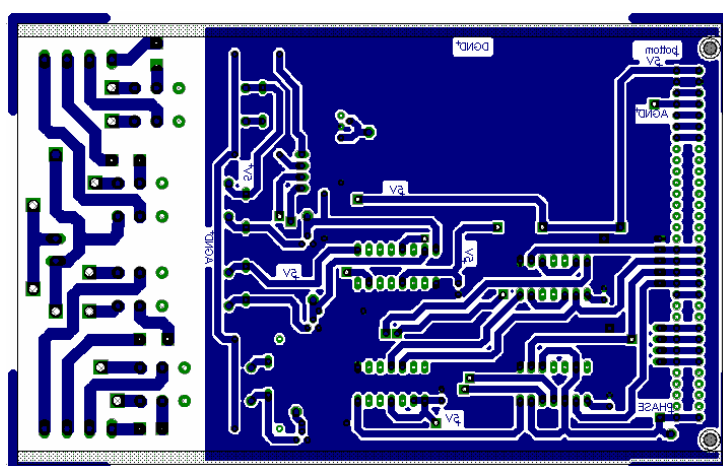


Abbildung 9.111: Platinenlayout bottom

Die Bestückung verlief problemlos, nachdem endlich alle Bauteile vorhanden waren.

Das erste Testen der bestückten Platine verlief sehr ernüchternd, da scheinbar nichts funktionierte. Die Ursache war dann aber auch bald gefunden: Da die Platine doppelseitig ist, mussten einige Bauteile auch von

Bezeichnung	Wert / Bauteil	Package	Beschreibung
C4	100n	C025-025X050	<u>Transientenabschirmung</u>
C5	100n	C025-025X050	<u>Transientenabschirmung</u>
C6	100n	C025-025X050	<u>Transientenabschirmung</u>
C7	100n	C025-025X050	<u>Transientenabschirmung</u>
D3	SCHOTTKY-DIODE	DO35-7	Freilaufdiode für Relais
D8	SCHOTTKY-DIODE	DO35-7	Freilaufdiode für Relais
D9	SCHOTTKY-DIODE	DO35-7	Freilaufdiode für Relais
D10	SCHOTTKY-DIODE	DO35-7	Freilaufdiode für Relais
IC2	4069N	DIL14	Inverter
IC3	4043N	DIL16	RS-Flip-Flop
IC5	4081N	DIL14	AND-Gatter
IC6	4081N	DIL14	AND-Gatter
J1	VG64	VG64	Bus-Steckverbinder
K1	RT424006	RT2C/O	Printrelais
K2	RT424006	RT2C/O	Printrelais
K3	RT424006	RT2C/O	Printrelais
K4	RT424006	RT2C/O	Printrelais
L1	L-EU0207/10	0207/10	Messspule
L2	L-EU0207/10	0207/10	Messspule
L3	L-EU0207/10	0207/10	Messspule
L4	L-EU0207/10	0207/10	Messspule
LSP1	LSP13	LSP13	Messpunkt für Testzwecke
LSP2	LSP13	LSP13	Messpunkt für Testzwecke
LSP3	LSP13	LSP13	Messpunkt für Testzwecke
LSP4	LSP13	LSP13	Messpunkt für Testzwecke
LSP5	LSP13	LSP13	Messpunkt für Testzwecke
Q1	BS170	SOT54E	MOS-Fet
Q2	BS170	SOT54E	MOS-Fet
Q3	BS170	SOT54E	MOS-Fet
Q4	BS170	SOT54E	MOS-Fet
R9	10k	0207/10	Pulldown
R10	10k	0207/10	Pulldown
R11	10k	0207/10	Pulldown
R12	10k	0207/10	Pulldown
RN1	100k G04R	SIL5	<u>Pulldownnetzwerk</u>
SL1	M04	04P	<u>Steckverbinder für Standbymessung</u>
SL2	M04	04P	<u>Steckverbinder für Standbymessung</u>
X1	MSTBV4	MSTBV4	Steckverbinder für 230V
X2	MSTBV4	MSTBV4	Steckverbinder für 230V

Abbildung 9.112: Bestückungsliste

oben verlötet werden. Besonders die Lötstellen der IC-Sockel erwiesen sich als äußerst fehlerträchtig. Weiterhin musste ein defekter MOS-Fet ausgetauscht werden. Nun sollte eigentlich alles funktionieren, aber beim Anschalten der Versorgungsspannung schaltete ein Relais von allein an, ohne den entsprechenden Impuls bekommen zu haben. Aber auch dieses Problem konnte durch nochmaliges genaues Durchmessen der Schaltung als kalte Lötstelle identifiziert werden. Nachdem alle Fehler behoben waren, wurde das Schaltverhalten messtechnisch kontrolliert. Die Relais haben eine Verzögerung gegenüber dem Ausgangssignal des Flip-Flops von ca. 9 ms.

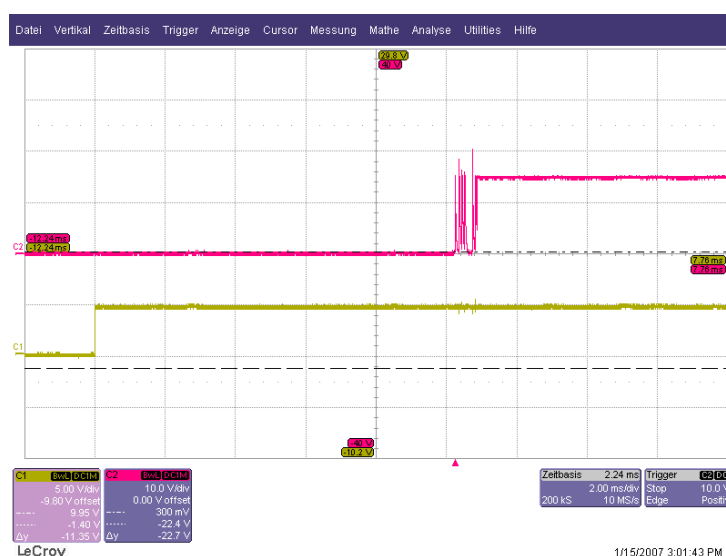


Abbildung 9.113: Messdiagramm Relaisverzögerung, rosa Relais, grün Flipflop-Ausgang

Die Relais haben beim Einschaltvorgang einen nicht abrupten Anstieg der zu schaltenden Spannung, sondern erzeugen für $610\mu s$ ein Flattern, wie Abb. 9.108 zu sehen. Die Ursache hierfür wurde nicht endgültig geklärt, wird aber noch weiter untersucht.

Weiterhin kommt es beim ersten Anschalten der Platine zu einem kurzen Klacken (also Schalten) der Relais, vermutlich zurückzuführen auf transiente Vorgänge in der Logik.

Dieses kurze Schalten kann jedoch aufgrund seiner Kürze von weniger als $100\mu s$ und der sehr geringen Amplitude (700mV bei 15V Schaltspannung) vernachlässigt werden.

Im Testaufbau mit allen Platinen unserer Gruppe vor dem Stöpseltermin konnte die Funktionstüchtigkeit der Platine bestätigt werden.

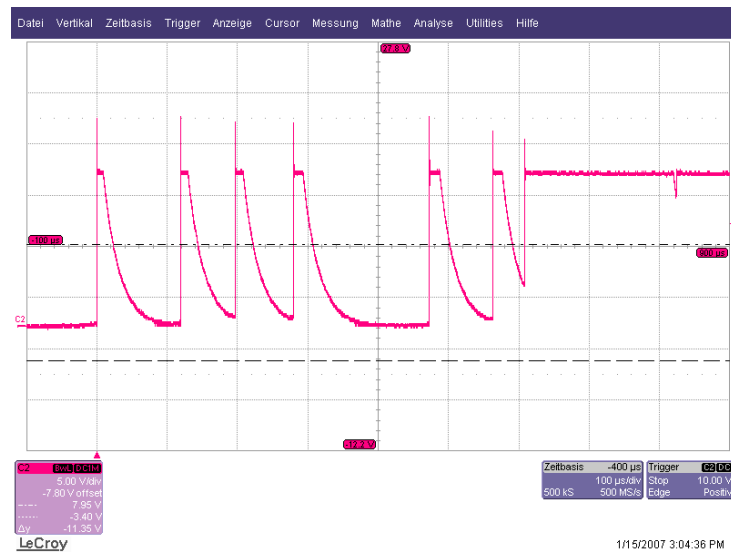


Abbildung 9.114: Messdiagramm Relais-“Einschaltflattern“

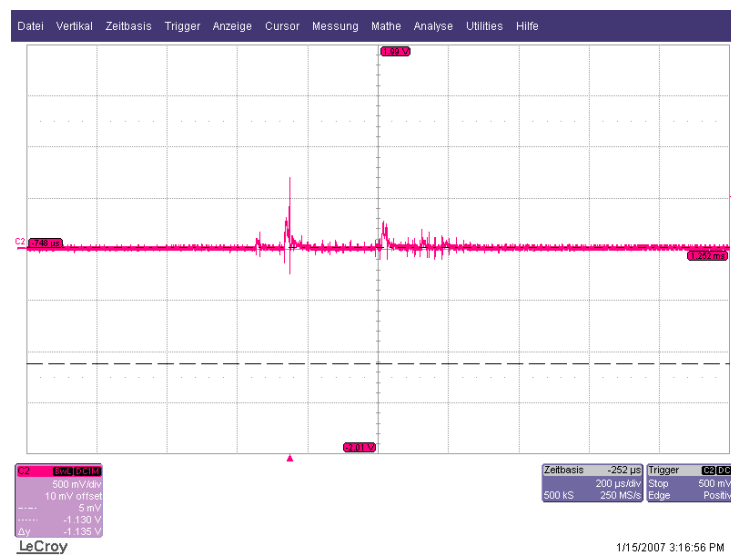


Abbildung 9.115: Messdiagramm ungewolltes Schalten der Relais beim Verbinden der Platine mit der Versorgungsspannung

Schalten mit Triacs

Idee In dem Leistungshalbleiter Vortrag von Rheinhard Stornowski zeigte sich, dass Triacs sehr gut für unsere Aufgabe, dem Schalten von 230V AC, geeignet sind. Sie sind Rückspannungsfest und können gesteuert werden ausserdem haben sie keine Schaltverzögerung, wie im Relaisabschnitt beschrieben wurde. Aus diesen Gründen entwarf Jens Dorroch eine Testschaltung zwei Triacs und einem Optotriac. Der Optotriac hatte noch den Vorteil, dass er eine Nulldurchgangserkennung implementiert hatte und somit keine "umständliche" Aussenbeschaltung mehr von Nöten ist.

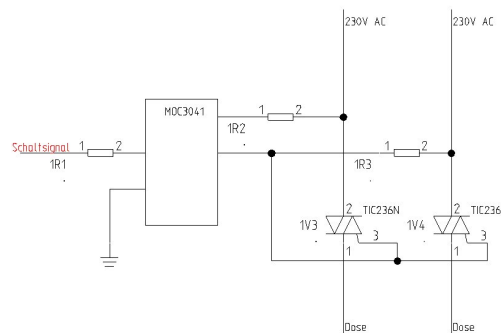


Abbildung 9.116: Triac-Schaltung (1. Entwurf)

Testaufbau und Fehlersuche Nachdem die Schaltung im Forum diskutiert wurde, besorgte Oliver Peters die von Jens verwendeten Optotriacs und wir konnten den ersten Testaufbau realisieren. Bei dem Testaufbau richteten wir uns nach der Schaltung im Datenblatt des MOC3041. Als beim ersten Testaufbau nichts funktionierte, brachte Stefan eine schon funktionierende Schaltung mit, so dass wir kontrollieren konnten was wir falsch gemacht hatten. Nach eingehendem Vergleich des Testaufbaus mit Stefans Schaltung stellte sich heraus, dass wir das Datenblatt des TIC226 nicht richtig gelesen und die beiden Lastanschlüsse des Triac's vertauscht hatten (Pin 1 mit Pin 3).

Der Fehler stellt sich folgendermaßen da: Der Triac war immer leitend, ob er nun angesteuert wurde oder nicht. Der Triac darf nur leiten, wenn er angesteuert wird. Doch durch das Vertauschen der beiden Anschlüsse stellte sich nun immer ein Potentialunterschied zwischen Gate und Referenzanschluss ein. Damit wurde der Triac immer angesteuert und war somit auch immer im leitenden Zustand. Bei richtiger Montage wird der Triac durch eine Potentialdifferenz zwischen Gate und Referenzanschluss des Triacs eingeschaltet. Das Ansteuern des Triac übernimmt

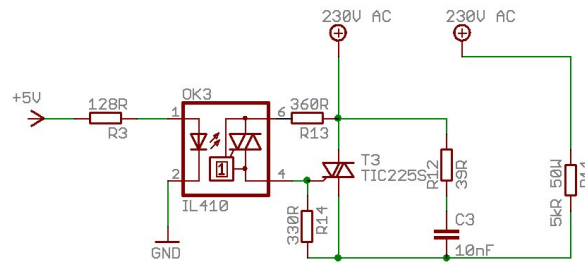


Abbildung 9.117: MOC3041 Beschaltung

der MOC3041 mit eingebauter Phasennulldurchgangserkennung. Nachdem der Fehler behoben war und das Schalten von 230V funktionierte, machte sich Jens daran das zweiphasige Abschalten zu realisieren.

Zweiphasiges Trennen Warum sollten/müssen wir bei unserer Intelligenten Steckdose zweiphasig trennen?

Es ist bei der Installation von elektrischen Betriebsmitteln so “üblich“, das immer der Leiter getrennt wird und der Neutralleiter am Verbraucher belassen wird. Leider habe ich bei meiner Recherche in den VDE-Normen keine entsprechende Vorschrift gefunden, die besagt das man den Neutralleiter nicht trennen darf. Aber aus Sicherheitsgründen ist es ersichtlich, wenn nur die Masse am Gerät anliegt, die idealerweise das gleiche Potential wie die Erde hat, das nichts passieren kann (Kein Potentialunterschied → keine Spannung → kein Strom). Wenn hingegen immer die Phase am Gerät anliegt, die ein anderes Potential als die Erde hat, und sich nun im Fehlerfall eine leitende Verbindung zwischen Gerät und Erde herstellt, kommt es, durch den Potentialunterschied zwischen Leiter und Erde, zu einem Stromfluss. Im günstigsten Fall spricht die Sicherung an. Im ungünstigsten kann ein Haus abbrennen oder jemand sterben.

Wegen dieser Bedenken und der Tatsache, dass im Gerät Phase und Neutralleiter nicht fest liegen, haben wir uns zum zweiphasigen Schalten entschieden. Bei der Inbetriebnahme unserer intelligenten Steckdose kann man nicht Vorraussagen auf welchem Kontakt die Phase und auf welchem Kontakt der Neutralleiter liegt.

Zweiphasige Triac-Schaltung Da das einphasige Trennen funktionierte, wurde das zweiphasige Trennen nach Abbildung 9.116 aufgebaut. Dabei ging ein Triac (1V3) kaputt. Bei der Frage nach dem warum der eine Triac ka-

putt ging, kamen wir schnell zu der Antwort, dass nicht beide Triac's mit einem Optotriac betrieben werden können. Denn wie in Abbildung 9.116 zu sehen ist, liegt der Widerstand 1R3 zwischen L und N und damit liegt die komplette Netzspannung am Gate des Triacs 1V3. Das Gate ist nicht für solche Potentialunterschiede ausgelegt, also ging der Triac den Weg allen irdischen. Nach dieser Einsicht wurden zwei identische Triac Ansteuerungsschaltungen aufgebaut nach Abbildung 9.117. Da dies funktionierte, wurde noch ein MOSFET BS170 eingebaut. Das Mosfet verstärkt das Signal der Logikgruppe, so daß der Strom der von den Optokopplern benötigt wird zur Verfügung steht.

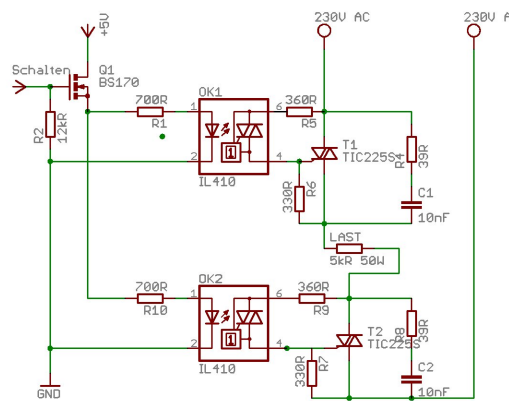


Abbildung 9.118: Zweiphasige Testschaltung mit Lastwiderstand

Da, wie Eingangs erwähnt, wir 5 Dosen zu schalten hatten, wurde die ganze Schaltung des Lastwiderstandes beraubt und mit Schnittstellen versehen.

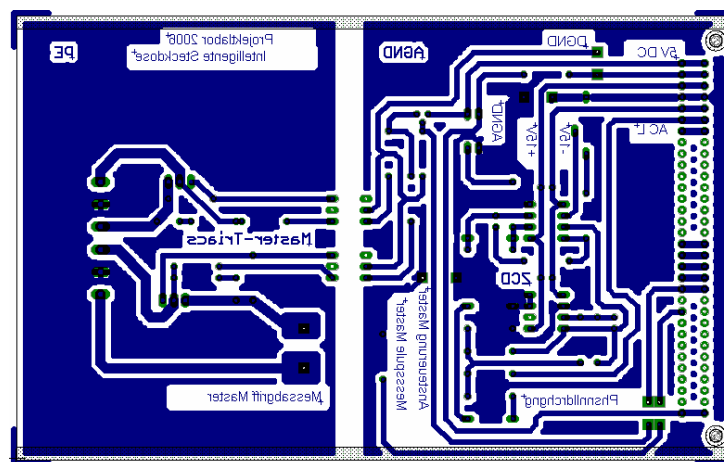


Abbildung 9.119: Layout der Phasennullerkennung und der Triac-Schaltung

Schnittstellen Unser Projekt bestand aus 5 Gruppen. Zwei dieser 5 Gruppen entwickelten eine Erkennung ob das Betriebsmittel an der jeweiligen Steckdose im Standby war oder nicht. Die beiden Gruppen wollten induktiv den fließenden Strom messen und daraus die Lasterkennung ableiten. (Für mehr Informationen siehe Gruppe 3 und Gruppe 1) Aus der induktiven Strommessung ergab es sich das die Messaperturen direkt in der Nähe unserer Schaltenplatine angebracht werden mussten. Da bei uns noch Platz auf der Platine war, nahmen wir ihre Messapertur mit auf unsere Platine. Durch diese Multi-Gruppen Platine mussten wir Schnittstellen definieren und absprechen. Die Schnittstellen ergaben sich zu:

Signale und Spannungsversorgung

- Versorgungsspannungen(5V, DGND, +15V, AGND, -15V)
- Schaltbefehle (Dose1-4,Master)
- Messsignale (Standbymess 1-4, Mastermess)

230V Spannungsebene

- Versorgungsspannungen(230V: L,N)
- Verbindungen zu den Steckdosen(1-5 jeweils zwei Leiter)

Layout & Kühlung Die fertige Schaltung in der Hand konnten wir mit dem Layout beginnen. Zuvor mussten wir uns Gedanken zur Abwärme der Thyristoren machen. Wir trugen folgende Kennwerte zusammen:

T_{max} Maximale Gehäuse Temperatur bei 6A $\approx 358K$

T_U Umgebungstemperatur geschätzt $\approx 303K$

P_V Maximale Verlustleistung bei 6A $\approx 8W$

R_C case thermal resistance $= 1,8 \frac{K}{W}$

R_a Junction to free air resistance $= 62,5 \frac{K}{W}$

R_G Glimmer Wärmewiderstand (0,05mm) $= 0,3 \frac{K}{W}$

Der R_a Wert und die Verlustleistung die wir erzeugten waren so “groß“, dass wir gleich mit der Berechnung eines Kühlkörpers anfangen. Die Formel zur Temperaturberechnung lautet¹:

$$\Delta\vartheta = R_{Thermisch} \cdot P_V$$

$$\frac{\Delta\vartheta}{P_V} = (R_C + R_G + R_K)$$

$$R_K = \frac{T_{max} - T_U}{P_V} - (R_C + R_G)$$

Einsetzen der Werte in (??) ergibt:

$$R_K = \frac{85^\circ C - 40^\circ C}{8W} - (1,8 \frac{K}{W} + 0,3 \frac{K}{W})$$

$$R_K = 3,5 \frac{K}{W}$$

Mit dem berechnetem max. Wärmewiderstand konnten wir uns nun die Kühlkörper im Katalog aussuchen und bestellen. Zu dem waren die Abmaße der Kühlkörper wichtig für das Layout der Leiterplatte. Die Kühlkörper müssen schließlich mit in das 19“ Rack hineinpassen.

¹Quelle: Taschenbuch der Elektrotechnik, 4. Auflage 2000; Kories, Schmidt-Walter; Harri Deutsch Verlag

Gruppenlayout Da wir nun zwei funktionierende Prototypen hatten, schalten mit Relais und schalten mit Triacs, mussten wir uns entscheiden in welchem Verhältnis wir die Schaltungen aufbauen und in Betrieb nehmen wollten. Da zudem noch die Standbygruppe und die Mastergruppe von unseren geschalteten Steckdosen den Strom messen mussten, haben wir mit Ihnen zusammengearbeitet, sodaß deren Messspulen mit auf unseren Platinen saßen. Auf Grund der Anforderungen mit zwei Gruppen zusammen zu arbeiten, entschieden wir uns, beide Varianten zu bauen. Wir teilten die Schaltungen so auf, dass nur immer eine Fertigungsart, mit einer anderen Gruppe zusammen arbeiten musste. So kamen wir zum Verhältnis 4:1 (vier Relaisschaltungen und eine Triac-Schaltung). Die Triac-Schaltung wurde für die Masterdose vorgesehen und die Relaisschaltungen für die Slavedosen.

Da die Logik, die die Relais ansteuert, relativ viel Platz in Anspruch nahm, wurde die Phasennulldurchgangserkennung auf die Triac-Platine ausgelagert. Es musste noch eine Signalleitung, abweichend von der Schnittstellendefinition, belegt werden um das Signal Phasennulldurchgang von der Triacplatine auf die Relaisplatine zu bekommen. Dazu wurde die noch freie Leitung 32 genutzt.

Ätzen und Bestücken Zum Ätzen und Bestücken gibt es eigentlich nicht viel zu sagen. Wenn man die Hinweise und das Vorgehen des Projektlaborhandbuches beachtet, kommt man relativ zügig zu seiner geätzten und gebohrten Platine (Zeitaufwand ca. 2h). Beim Bestücken und Löten entscheidet es sich, wieviel Zeit man bei der Inbetriebnahme und der Fehlersuche aufwenden muss.

A WIDERSTANDSRINGTABELLE



Farbcode für Widerstände - 4 Ringe Farbcode

Widerstand Widerstandsreihe E 6 E12 E 24 Farbringe Widerstandswert Widerstandstabelle Farb Ringe Code Widerstandsbestimmung Widerstands Tabelle Widerstände DIN IEC 62 gold
Um die winzigen Widerstände mit dem Widerstandswert in Ohm zu kennzeichnen, gibt es einen internationalen Farbcode mit vier Ringen. Ein Ring ist dabei meistens gold- oder silberfarben; das ist der 5%- bzw. 10%-Toleranzwert. Diesen Ring lege man nach rechts, also nach hinten. Außerdem ist der 1. Farbring sichtbar näher an einer Seite des Widerstandkörpers, also vorne. Der 4-Ring Farbcode wird von links nach rechts in einer Widerstandstabelle abgelesen.

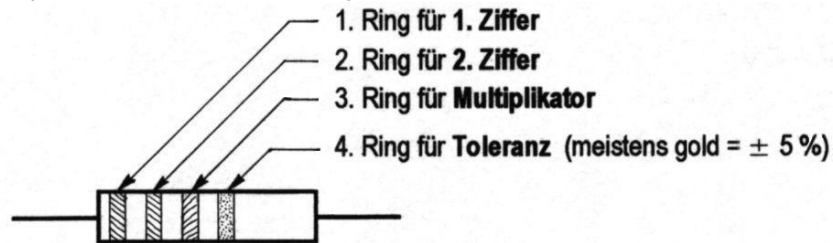


Tabelle für den Widerstand Farbcode Widerstands-Farb-Schlüssel

	Farbe	1. Ring	2. Ring	Multiplikator	Toleranz +/-
	keine				20 %
	silber			$10^{-2} = 0,01$	10 %
	gold			$10^{-1} = 0,1$	5 %
	schwarz	-	0	$10^0 = 1$	
	braun	1	1	$10^1 = 10$	1 %
	rot	2	2	$10^2 = 100$	2 %
	orange	3	3	$10^3 = 1K$	
	gelb	4	4	$10^4 = 10K$	
	grün	5	5	$10^5 = 100K$	0,50 %
	blau	6	6	$10^6 = 1M$	0,25 %
	violett	7	7	$10^7 = 10M$	0,10 %
	grau	8	8	$10^8 = 100M$	0,05 %
	weiß	9	9	$10^9 = 1G$	

Die Farben der Zahlen 2 (rot) bis 7 (violett) kann man sich an der Reihenfolge der Regenbogenfarben merken. Der Farbring 9 = weiß ist wohl niemals anzutreffen. Der Toleranzwert von $\pm 5\%$ = gold ist allgemein üblich. Beachte: Ring 1 mit der Farbe "schwarz" gibt es nicht!

Merke: In der Regel findet man nur die E-Reihen Widerstandswerte. Ausnahmen sind Sonderanfertigungen z.B. 50 k Ω .

Am meisten wird die genormte Widerstandsreihe E 12 mit einem Schrittfaktor von $\sqrt[12]{10} = 1,2115$ als Multiplikator angewendet. Die Dekade (Logade) besteht dabei aus folgenden 12 gerundeten Widerstands-Werten.

E 12:	10	12	15	18	22	27	33	39	47	56	68	82
-------	----	----	----	----	----	----	----	----	----	----	----	----

Übungsfragen zum Farbcode (IEC DIN 62) für Widerstände mit Antworten:

IEC-DIN-Farbcode in Widerstandswert umrechnen:

1. Welchen Widerstandswert hat der Farbcode: gelb, violett, orange und gold?

47 000 Ohm = 47 k Ω bei 5 % Toleranz. (4 7 mal 1000)

2. Welchen Widerstandswert hat der Farbcode: blau, grau, rot und silber?

6800 Ohm = 6,8 k Ω bei 10 % Toleranz (6 8 mal 100)

3. Welchen Widerstandswert hat der Farbcode: orange, orange, orange und gold?

33000 = 33 k Ω bei 5 % Toleranz (3 3 mal 1000)

Widerstandswert in IEC-DIN-Farbcode übersetzen:

4. Welchen Farbcode hat der Widerstand: 0,47 Ohm mit 5 % Toleranz?

gelb, violett, silber und gold. (4 7 mal 0,01)

5. Welchen Farbcode hat der Widerstand: 1 Megohm (1 M Ω) mit 10 % Toleranz?

braun, schwarz, grün und silber (1 0 mal 10^5)

6. Welchen Farbcode hat der Widerstand: 2,2 k Ω bei 2 % Toleranz?

rot, rot, rot und rot (2 2 mal 100)

© Eberhard Sengpiel

Aufgabe: Üben Sie, in dem Sie in eine Kiste mit Widerständen greifen und versuchen, die Werte zu entziffern.

Hilfe: Farbcode-Rechner für Widerstände im Internet unter: <http://www.sengpielaudio.com/Farbcodewiderstaende02.htm>

oder auch unter: <http://www.sengpielaudio.com/Farbcodewiderstaende04.htm> - auch Color Code Calculator genannt.

B DATENBLÄTTER