

Index:

- 0. Wiederholung Flip-Flop:
 - 0.1 D-Flip-Flop
 - 0.2 JK-FlipFlop
- 1. Schieberegister
 - 1.1 einfaches Schieberegister
 - 1.2 Schieberegister mit parallelen Ladeeingängen
- 2. Zähler
 - 2.1 Asynchroner Dualzähler
 - 2.2 Synchroner Dualzähler
- 3. DA-Wandler
 - 3.1 R2R-Netzwerk
 - 3.2 Beispiel
- 4. Ein Wort zum AD-Wandler

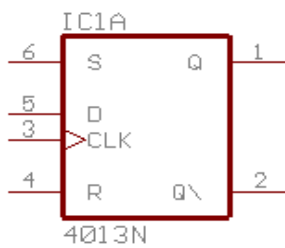
Quellen

Anhänge:

- 1. Datenblatt 74*165 (8 bit Schieberegister)
- 2. Datenblatt 74*193 (synchroner UP-DOWN-Zähler)
- 3. Datenblatt DAC1020 (10bit DA-Wandler)

0. Flip-Flop

0.1 D-Flip-Flop:

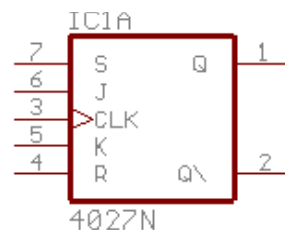


Set	Reset	CLK	D	Q	Q\'
1	0	X	X	1	0
0	1	X	X	0	1
1	1	X	X	1*	1*
0	0	↑	0	0	1
0	0	↑	1	1	0
0	0	0	X	Unv.	Unv.

CLK-Clock: Gibt das Signal am D-Eingang auf den Q-Ausgang weiter

S/R-Eingang: Zum festen Setzen des Q-Ausgangs auf 1 (Set) oder 0 (Reset)

0.2 JK-Flip-Flop:

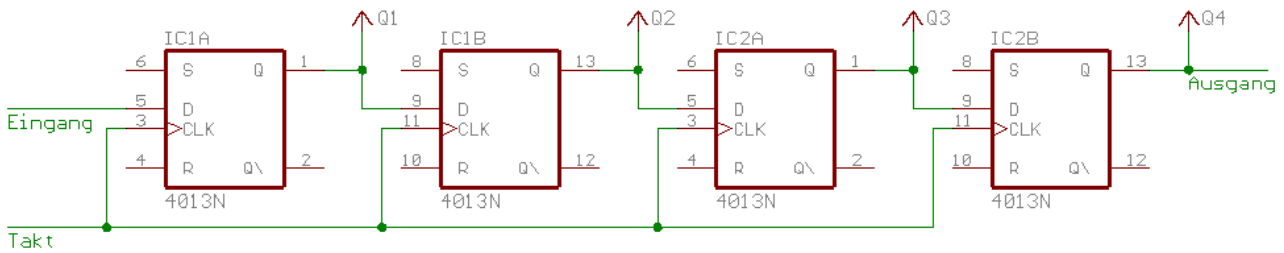


Set	Reset	CLK	J	K	Q	Q\'
1	0	X	X	X	1	0
0	1	X	X	X	0	1
1	1	X	X	X	1*	1*
0	0	↑	0	0	Unv.	Unv.
0	0	↑	1	0	1	0
0	0	↑	0	1	0	1
0	0	↑	1	1	Toggle	Toggle
0	0	0	X	X	Unv.	Unv.

- CLK-Clock: Liefert je nach Signal an J/K einen Wert am Ausgang, siehe Tabelle
- S/R-Eingang: Zum festen Setzen des Q-Ausgangs auf 1 (Set) oder 0 (Reset)

1. Schieberegister

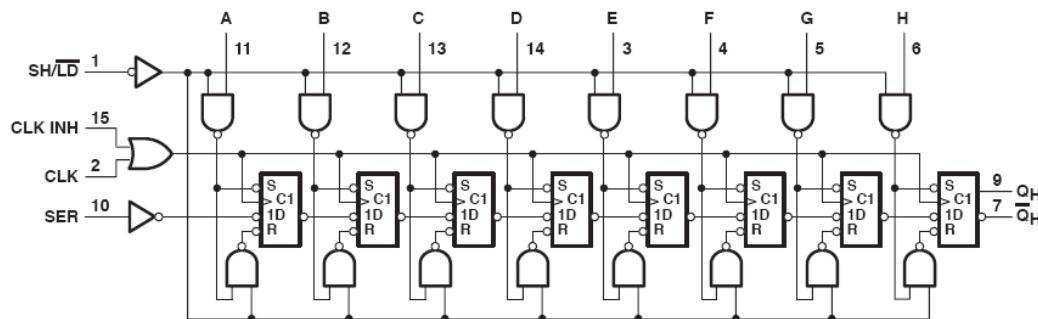
1.1 einfaches Schieberegister:



- Für jedes benötigte Bit ein D-Flip-Flop
 - D1, D2, ... sind ein-Bit-Informationen, also 0 oder 1
 - Q1 – Q4 sind die parallelen Ausgänge, nicht bei jeder Type vorhanden
 - Q4 ist gleichzeitig auch der serielle Ausgang
 - bei jedem Takt werden die Informationen ein Flip-Flop weiter verschoben.
- | Takt | Q1 | Q2 | Q3 | Q4 |
|------|-----------|-----------|-----------|-----------|
| 1 | D1 | - | - | - |
| 2 | D2 | D1 | - | - |
| 3 | D3 | D2 | D1 | - |
| 4 | D4 | D3 | D2 | D1 |
| 5 | D5 | D4 | D3 | D2 |
| 6 | D6 | D5 | D4 | D3 |
| 7 | D7 | D6 | D5 | D4 |

1.2 Schieberegister mit parallelen Ladeeingängen:

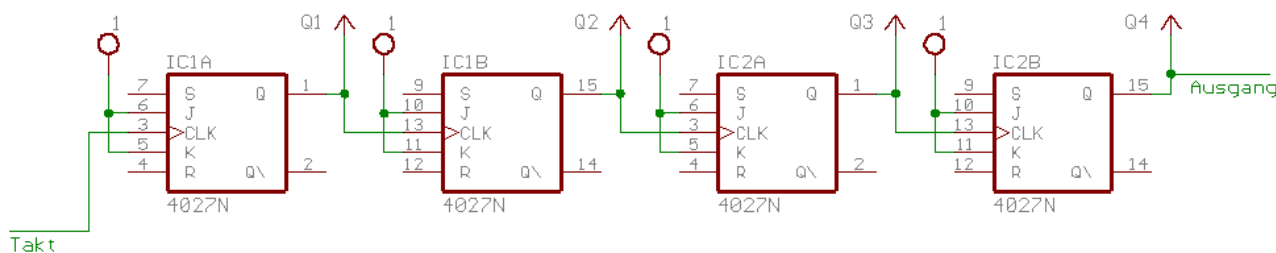
siehe auch *Anhang 1: Datenblatt 74*165*



- erstmal identisch mit dem einfachen Schieberegister
- SH/LD\ : bei 0 werden die parallelen Eingänge A-H ausgelesen
- CLK INH: Verhindert das Takten durch anlegen einer 1
- SER: Der Eingang aus 1.1

2. Zähler

2.1 Asynchroner Dualzähler



- CLK-Eingang reagiert auf negative Flanke!
- Pro Bit ein JK-Flip-Flop
- Alle Flip-Flop's müssen vor dem Einsatz des Zählers auf einen Wert eingestellt werden, in der Regel alle auf 0, also alle Reset
- Mit jedem Takt auf dem ersten Takt-Eingang zählt der Zähler um eins weiter
- Alle JK-Eingänge auf 1 → Toggle (siehe Kap. 0.2)

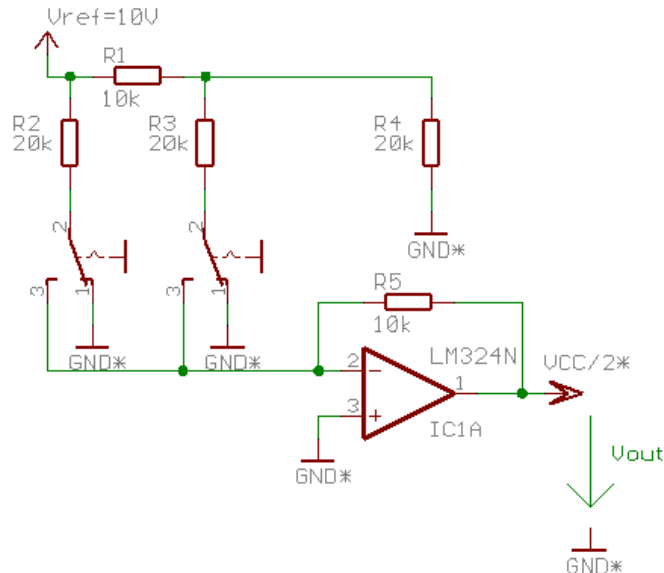
2.2 Synchroner Dualzähler

Abbildung siehe *Anhang 2: Datenblatt 74*193*

- CO\ und BO\ werden benötigt, um mehrere Zähler zu kaskadieren:
 - CO\=Carry wird mit dem UP-Eingang des nächsten Zählers verbunden
 - BO\=Borrow wird mit dem DOWN-Eingang des nächsten Zählers verbunden
- CLR setzt den Zähler zurück
- UP/DOWN lässt den Zähler hoch- bzw. runterzählen
- Q_A-Q_D sind die parallelen Ausgänge
- A-D sind die parallelen Ladeeingänge
- Load\ lädt A-D in die Speicher

3. DA-Wandler 3.1 R2R-Netzwerk

Aufbau eine imaginären 2Bit DA-Wandlers:



Auf solch ein R2R-Netzwerk baut jeder DA-Wandler auf. Die Schalter sind digital gesteuert, jeder Schalter ist ein Bit vom Eingang. Der OP muss meist extra angeschlossen werden, da solche DA-Wandler einen Strom und keine Spannung ausgeben.

I=Strom durch den Widerstand R5 in Richtung Ausgang

Für beide Schalter nach GND gilt:

$$V_{out} = -I \cdot R5$$

$$I = 0A \rightarrow V_{out} = 0V$$

Schaltet man den rechten um gilt folgendes:

$$I = \frac{1}{2} \cdot \frac{10V}{R1 + R3 || R4} = \frac{1}{2} \cdot \frac{10V}{20k\Omega} = 0,25mA$$

$$\rightarrow V_{out} = -0,25mA \cdot 10k\Omega = -2,5V$$

Analog erhält man für den linken Schalter -5V und für beide Schalter -7,5V.

Ein DA-Wandler erreicht immer nur folgende Spannung:

$$V_{out} = -V_{ref} \cdot \frac{n-1}{n}$$

n ist dabei die Anzahl der möglichen Schritte des Wandlers. In unserm Fall haben wir einen 2-Bit-Wandler. Dieser kann nur 4 Schritte machen - deshalb auch nur 7,5V.

3. DA-Wandler (forts.)

3.2 Beispiel

Abbildungen siehe *Anhang 3: Datenblatt DAC1020*

Pin 1 – I_{OUT1} : Auf den negativen Eingang des OP's

Pin 2 – I_{OUT2} : In unserem Fall nach Masse legen

Pin 3 – GND: immer nach Masse

Pin 4 bis Pin 13: Digitale Eingänge, parallel

Pin 14 – V^+ : i.d. Regel +15V gegenüber Masse

Pin 15 – V_{REF} : Eingang für die Referenzspannung

Pin 16 – $R_{FEEDBACK}$: Anschluss eines Widerstandes der zwischen diesem Pin und Pin 1 liegt. Er ist der Gegenkopplungswiderstand für unseren invertierenden Verstärker.

4. Ein Wort zum AD-Wandler:

Der AD-Wandler, oder besser die AD-Wandler sind ein, im Vergleich zum Rest dieses Vortrags, komplexes Gebiet. Zu komplex um sie hier vernünftig zu behandeln. Daher sei an dieser Stelle nur gesagt, dass sie existieren.

Sie arbeiten nach drei verschiedenen Verfahren: Das Parallel-, das Wäge- und das Zählverfahren. Je nach Verfahren sind sie schnell oder langsam, jeweils mit anderen Vor- und Nachteilen, wie z.B. Kosten (bzw. Aufwand) oder Genauigkeit.

Von der Beschaltung her sind sie natürlich das Komplement zum DA-Wandler; auch sie haben einen Eingang für eine Referenzspannung. Dazu logischerweise parallele digitale Eingänge und einen analogen Ausgang.

Quellen:

Tietze-Schenk: Halbleiterschaltungstechnik 12.Auflage

Internet für die Datenblätter