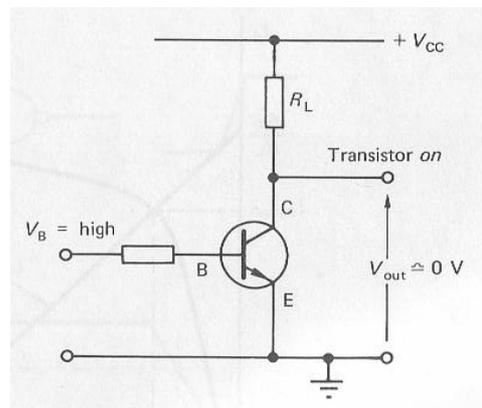
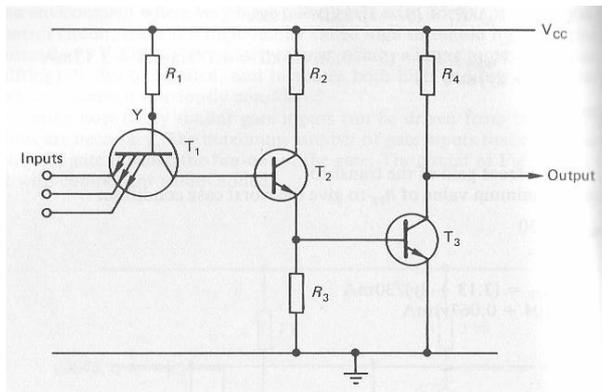


Handout zum Referat Logikfamilien

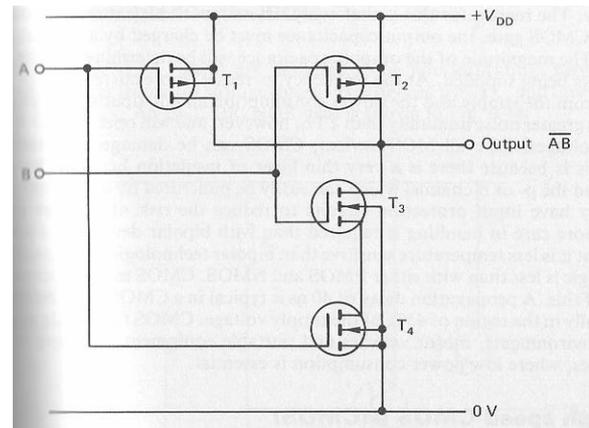
Der Bipolar-Transistor als Schalter



Transistor-transistor logic (TTL)



CMOS – NAND Gate



Vorteile von CMOS

- Nahezu unendlich hoher Eingangswiderstand
- Leistungsaufnahme nur bei Logikänderungen
- Breiter Betriebsspannungsbereich
- Liefern kaum Rauschen und Spannungsspitzen

Regeln für die Anwendung von CMOS

- Alle Eingänge müssen irgendwo angeschlossen sein
- Nicht benutzte Ausgänge bleiben frei
- Stromversorgung nicht einfach trennen
- Vorsicht vor statischer Aufladung
- Suchen sie den Fehler immer zuerst bei sich selbst !

Wie finde ich die passende Logikfamilie?

1. Welche Schaltverzögerung ist tolerierbar?
2. Welche maximale Leistungsaufnahme kann ich in Kauf nehmen?
3. Wieviele Gatter werden angesteuert?
4. Wie hoch ist das zu erwartende Rauschen?

Eigenschaften von Logikfamilien

Familie	Verzögerung	Leistungsaufnahme	Spannungsschwankungen	Fan-out	Betriebsspannung	1 Level	0 Level
LSTTL	8 ns	2 mW	0,3 V	10	5 V	3,3 V	0,2 V
TTL	10 ns	10 mW	0,4 V	10	5 V	3,3 V	0,2 V
PMOS	100 ns	0,2 mW	1,0 V	50	-20 V	-11 V	-3 V
NMOS	50 ns	0,2 mW	1,0 V	50	15 V	3,5 V	0,4 V
CMOS	40 ns	10 nW	4,0 V	<50	3-15 V	4,99 V*	0,01 V
HCMOS	10 ns	10 µW	1,5 V	10	2-6 V	4,95 V*	0,8 V
STTL	4 ns	20 mW	0,3 V	10	5 V	3,3 V	0,2 V

Literatur

- Logischer Entwurf digitaler Systeme
Hans Liebig, Stefan Thome, Springer, 1996
- **Digital Circuits**
J.R. Nowicki and L.J. Adam, Edward Arnold, 1990
- Das CMOS-Kochbuch
Don Lancaster, IWT, 1989
- Pegel-Anpassung
Karel Walraven in Elektor 2/2002