

SPI

Serial Peripheral Interface

- Was ist SPI?
 - Bus System zur seriellen synchronen Datenübertragung vor allem zw. IC's
 - Loser Standard von Motorola entwickelt, ähnlich zu Microwire von National Semiconducters
- Aufbau und Anwendung
 - Master-Slave-Prinzip: Ein übergeordneter IC steuert die Anderen mit seinem Ausgang
 - Vier Leitungen:
 - MOSI (Master Out Slave In): Leitung für das Steuersignal vom Master zum Slave
 - MISO (Master In Slave Out): Leitung für Rückmeldung der untergeordneten IC's
 - CS (Chip Select auch Slave Select): Wählt den zu steuernden Chip aus. Wertänderung nur bei aktiven CS, Wertübernahme bei Änderung auf Low
 - CLK (Clock): Setzt Clock für alle IC's gleich
 - MISO und MOSI öfters SDI und SDO für angenehmere Unterscheidung
 - Ein Datenwort regelt jeweils einen Slave
 - Kein Festes Protokoll definiert, MISO kann bei bestimmten Leitungen weggelassen werden, Flankenreaktion ist nicht fest definiert
 - Taktfrequenzen von mehreren MHz möglich
 - Anwendung: Steuerung von IC's und Programmierung von Microcontrollern
- SPI und der ATMEGA32
 - ATMEGA32 hat drei Register für die SPI Anwendung:
 - SPI Control Register SPCR für Einstellung von Clock und Data Order, Aktivierung von SPI
 - SPI Status Register SPSR mit Bit zur Kontrolle ob gerade gesendet wird, mögliches Interrupt-Bit
 - SPI Data Register SPDR Register in dem die zu sendenden Daten zwischengespeichert werden
 - Unterstützt alle SPI Modi bzw. ist auf sie einstellbar

- Varianten und Modi
 - Zwei mögliche Varianten für Mehrfachanbindung:
 - Alle Slaves an selber MISO und MOSI Leitung angeschlossen, Auswahl des adressierten Chips über CS
 - Vorteil: Kurze Datenpakete
 - Nachteil: jeder angeschlossene IC braucht seine eigene CS-Leitung
 - Daisy-Chain: IC´s werden in Reihe an den SDO des vorherigen Chips gehängt
 - MISO des Masters ist der SDO des letzten Chips
 - MOSI ist der SDI des ersten.
 - Datenpakete werden per Schieberegister weitergereicht
 - Jeder Chip hängt an der selben CS-Leitung
 - Vorteil: Deutlich weniger Leitungen benötigt
 - Nachteil: Datenpakete deutlich länger
 - SPOL definiert die Clockpolarität, regelt also ob die Clock standardmäßig auf Low oder High ist
 - SPHA regelt ob auf steigende Flanke oder auf fallende Flanke reagiert wird

- Fehlerquellen
 - Unsaubere Taktflanken: Chips erkennen Taktflanken nicht mehr oder triggern während einer Flanke mehrfach
 - Instabile Signale: Chips können den Zustand nicht identifizieren
 - Zeit zw. CS-Signal und Übertragungsbeginn zu kurz: Chip reagiert zu langsam, erstes Datenbit geht verloren
 - SPI Modi: Master und Slave arbeiten nicht im selben Modi, Reaktion auf unterschiedliche Flanken macht die Daten unlesbar
 - Select Signal nicht angeschlossen
 - Signalpegel zu gering: Keine Unterscheidung zwischen Low und High möglich

- Quellen:
 - http://www.mikrocontroller.net/articles/Serial_Peripheral_Interface
 - http://de.wikipedia.org/wiki/Serial_Peripheral_Interface
 - <http://www.atmel.com/images/doc2503.pdf>
 - http://www.analog.com/media/en/technical-documentation/data-sheets/AD5260_5262.pdf
 - http://de.wikipedia.org/wiki/Serial_Peripheral_Interface#/media/File:SPI_single_slave.svg
 - http://de.wikipedia.org/wiki/Serial_Peripheral_Interface#/media/File:SPI_three_slaves_daisy_chained.svg
 - http://www.mikrocontroller.net/articles/SPI_Daisychain