

## Serial Peripheral Interface

= ein Bus-System für eine serielle synchrone Datenübertragung zwischen verschiedenen Microcontroller, die miteinander nach dem Master-Slave-Prinzip verbunden sind.

An den Bus ist immer nur ein Master angeschlossen.

### Leitungen

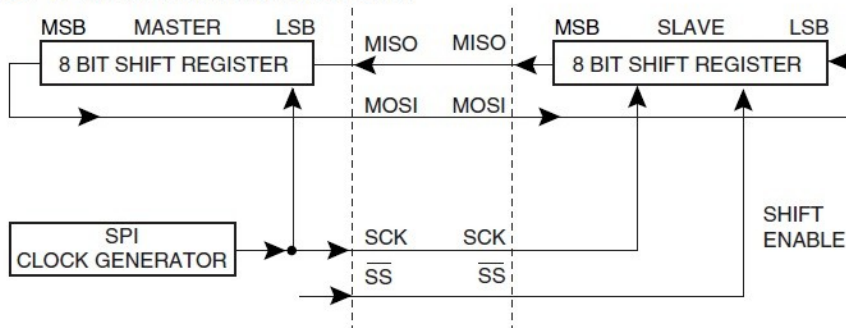
- MOSI (**M**aster **O**ut -> **S**lave **I**n) auch SDO (**S**erial **D**ata **O**ut) oder DO  
Daten werden von Master zu Slave geschickt
- MISO (**M**aster **I**n <- **S**lave **O**ut) auch SDI (**S**erial **D**ata **I**n) oder DI  
Daten werden von Slave zu Master geschickt
- SCK (Serial Clock) - Schiebetakt, durch den Master festgelegt
- Zusätzlich eine Slave Select (SS) Leitung, durch die der Master den Slave zur aktuellen Kommunikation selektiert. SPI kann nicht diese Leitung automatisch steuern.

Die meisten AVR-Microcontroller werden von Atmel über SPI ISP-programmiert.

Die Kommunikation zwischen Master und Slave:

- SS auf 0 gesetzt (durch Master)
- Datenvorbereitung in den Shiftregister
- Master generiert ein Impuls auf die SCK Leitung
- Die Daten werden ausgetauscht
- SS auf 1 gesetzt

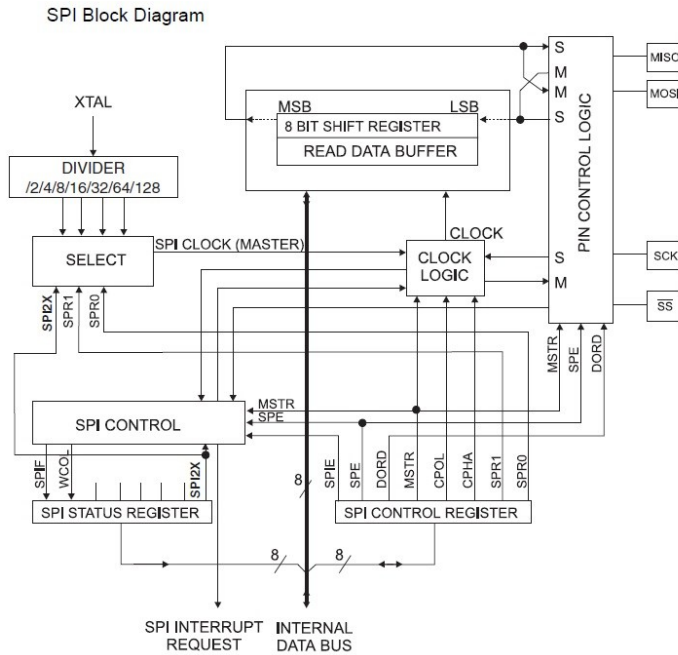
Figure 66. SPI Master-Slave Interconnection



Quelle: [http://www.atmel.com/dyn/resources/prod\\_documents/doc2466.pdf](http://www.atmel.com/dyn/resources/prod_documents/doc2466.pdf)

### Die SS Leitung

- hält den Slave Bit Counter und den Master Clock Generator synchron.
- Bei dem Slave muss als Input konfiguriert werden und bei dem Master kann als Input oder Output.
- Nachdem auf 1 gesetzt wurde, wird die SPI Logik gelöscht



Quelle: [http://www.atmel.com/dyn/resources/prod\\_documents/doc2466.pdf](http://www.atmel.com/dyn/resources/prod_documents/doc2466.pdf)

## Register

### SPI Control Register - SPCR

Die wichtigste Bits: SPI Interrupt Enable(SPIE), SPI Enable(SPE), MSTR, SPR1 und SPR0(Clock Rate)

### SPI Status Register - SPSR

Bits: SPI Interrupt Flag(SPIF), Write COLLision Flag(WCOL), Reserved Bits

### SPI Data Register - SPDR

ein read/write Register benutzt für den Austausch von Daten zwischen Register File und SPI Shift Register.